

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4797389号
(P4797389)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int. Cl.

F 1

HO2M 7/12 (2006.01)

HO2M 7/12

Q

HO2M 7/12

W

請求項の数 2 (全 11 頁)

(21) 出願番号 特願2005-23604 (P2005-23604)
(22) 出願日 平成17年1月31日(2005.1.31)
(65) 公開番号 特開2006-211867 (P2006-211867A)
(43) 公開日 平成18年8月10日(2006.8.10)
審査請求日 平成19年12月13日(2007.12.13)

特許法第30条第1項適用 平成16年(2004年)
11月11日から12日 社団法人電気学会主催の「半
導体電力変換・産業電力電気応用合同研究会」において
文書をもって発表

(73) 特許権者 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(74) 代理人 100091281
弁理士 森田 雄一
(72) 発明者 三野 和明
神奈川県横須賀市長坂二丁目2番1号 富
士電機アドバンステクノロジー株式会社
内
(72) 発明者 Johann W. Kolar
Physikstrasse 3, ET
L 123, CH-8092 Zuri
ch, Switzerland

最終頁に続く

(54) 【発明の名称】 整流回路

(57) 【特許請求の範囲】

【請求項1】

多相交流電源の各相にそれぞれ接続された変圧器と、
これらの変圧器の二次側に交流側がそれぞれ接続され、かつ直流側の正負出力端子が共
通接続された複数のダイオードブリッジと、

回路出力端子間に接続されたコンデンサと、を備え、

前記ダイオードブリッジにより交流電源電圧を多パルス状の波形に変換して入力電流高
調波を低減するようにした整流回路において、

一つのダイオードブリッジの正負出力端子間に半導体スイッチング素子と第1、第2の
電流検出手段との直列回路を接続し、かつ、他のダイオードブリッジの正負出力端子間に
半導体スイッチング素子を接続し、

第1の電流検出手段が接続されたスイッチング素子と第1の電流検出手段との直列回路
と前記コンデンサとを含む閉回路に、当該スイッチング素子に並列接続されたダイオード
ブリッジに対して順方向となるダイオードを接続すると共に、

他のスイッチング素子と前記コンデンサとを含む閉回路に、当該他のスイッチング素子
に並列接続されたダイオードブリッジに対して順方向となるダイオードをそれぞれ接続し
たことを特徴とする整流回路。

【請求項2】

多相交流電源の各相にそれぞれ接続された変圧器と、

これらの変圧器の二次側に交流側がそれぞれ接続され、かつ直流側の正負出力端子が共

通接続された複数のダイオードブリッジと、

回路出力端子間に接続されたコンデンサと、を備え、

前記ダイオードブリッジにより交流電源電圧を多パルス状の波形に変換して入力電流高調波を低減するようにした整流回路において、

前記ダイオードブリッジの直流出力側に半導体スイッチング素子とダイオードとをそれぞれ接続し、

各スイッチング素子の駆動信号における変調信号を、交流電源電圧の周波数の6倍の周波数を持つ三角波としたことを特徴とする整流回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧または電流の位相を変換する変圧器を有し、多相の交流電圧を整流して直流電圧を得る整流回路に関するものである。

【背景技術】

【0002】

図7は、従来技術を示す回路であり、後述する非特許文献1に記載されているものである。

図7において、1～3はY結線された交流電源、4～6は各交流電源1～3にそれぞれ接続されたリアクトル、7～9は三巻線変圧器、70～72, 80～82, 90～92は各変圧器7～9の巻線、a1, a2, a3, b1, b2, b3, c1, c2, c3は各巻線70～72, 80～82, 90～92の端子である。ここで、巻線71, 81, 91の巻数を W_A 、巻線72, 82, 92の巻数を W_B とすると、巻線70, 80, 90の巻数は $W_A + W_B$ に設定されている。

また、端子a1, b1, c1にはダイオードブリッジ10の交流側が接続され、端子a2, b2, c2にはダイオードブリッジ11の交流側が接続されており、これらの直流側は共通接続されてその正負出力端子間にコンデンサ16が接続されている。なお、21, 22は整流回路としての回路出力端子である。

【0003】

ここで、前記巻数比 W_A , W_B を適切な値($W_B/W_A = 0.366$)に調整することにより、図8に示すように、各ダイオードブリッジ10, 11に入力される電流 i_{a1} , i_{a2} , i_{b1} , i_{b2} , i_{c1} , i_{c2} は、それぞれの電源2, 3, 1から端子a3, b3, c3を介して流れ込む入力電流 i_a, i_b, i_c に対して ± 15 度位相がずれる。

更に、ダイオードブリッジ10, 11の各ダイオードがオンすることにより、変圧器7～9の二次側の端子a1, b1, c1, a2, b2, c2はダイオードブリッジ10, 11の正または負の出力端子と同電位になる(ダイオードの順方向電圧は無視する)。

【0004】

いま、ダイオードブリッジ10, 11の出力電圧を $2E$ 、出力電圧の midpoint を N とすると、midpoint N と端子a1間の電圧 u_{a1N} 及びmidpoint N と端子a2間の電圧 u_{a2N} は、図9のような波形となる。ここで、電圧 u_{a1N} , u_{a2N} の位相はそれぞれ電流 i_{a1} , i_{a2} の位相と一致し、前述した電源2からの入力電流 i_a に対して ± 15 度の位相差となる。

また、midpoint N と端子b1間の電圧 u_{b1N} 及びmidpoint N と端子b2間の電圧 u_{b2N} 、midpoint N と端子c1間の電圧 u_{c1N} 及びmidpoint N と端子c2間の電圧 u_{c2N} も、電圧 u_{a1N} , u_{a2N} に対してそれぞれ 120 度、 240 度位相がずれた波形となる。

【0005】

更に、端子a1, a2の間の電圧 u_{a1a2} は、電圧 u_{a1N} と u_{a2N} との差になり、数式1となる。電圧 u_{b1b2} , u_{c1c2} についても、同様に数式2及び数式3となる。

[数1]

$$u_{a1a2} = u_{a1N} - u_{a2N}$$

【数2】

$$u_{b1b2} = u_{b1N} - u_{b2N}$$

【数3】

$$u_{c1c2} = u_{c1N} - u_{c2N}$$

【0006】

更に、中点Nと端子a3との間の電圧 u_{a3N} は、変圧器の巻数比を用いて数式4により表される。

【0007】

【数4】

$$u_{a3N} = u_{a1N} - \frac{W_A + W_B}{2W_A + W_B} u_{a1a2} - \frac{W_B}{2W_A + W_B} u_{c1c2}$$

【0008】

一方、中点Nと交流入力電圧（電源1～3）の中性点Oとの間の電圧 u_{ON} は数式5により、中性点Oと端子a3との間の電圧 u_{a3O} は数式6によりそれぞれ表される。

【0009】

【数5】

$$u_{ON} = (u_{a3N} - u_{b3N} - u_{c3N}) / 3$$

【0010】

【数6】

$$u_{a3O} = u_{a3N} - u_{ON}$$

【0011】

よって、図9に示すように、電圧 u_{a3O} は12パルス状の波形に変換され、入力電流は正弦波状に近づき、入力電流の高調波が低減される。特に、5次、7次の高調波を零にすることができ、このように入力電流の高調波が低減されることにより、出力電圧のリプルも低減することができる。

【0012】

【非特許文献1】M. Depenbrock, C. Niermann, 「A New 12-Pulse Rectifier Circuit with Line-Side Interphase Transformer and Nearly Sinusoidal Line Current」, PEMC'90, Proceeding of the 6th Conference on Power Electronics and Motion Control, Vol. 2, pp. 374-378

【発明の開示】

【発明が解決しようとする課題】

【0013】

上述した従来技術によれば、入力電流の高調波及び出力電圧のリプルを低減することが可能である。

しかしながら、この従来技術における出力電圧は入力相電圧のピーク値の1.52倍となり、入力電圧が変動すると出力電圧も変化してしまうという問題がある。

そこで、本発明は、入力電圧の変動に関わらず出力電圧をほぼ一定に保つことができる整流回路を提供しようとするものである。

【課題を解決するための手段】

【0014】

上記課題を解決するため、請求項1に記載した発明は、多相交流電源の各相にそれぞれ接続された変圧器と、

これらの変圧器の二次側に交流側がそれぞれ接続され、かつ直流側の正負出力端子が共通接続された複数のダイオードブリッジと、

回路出力端子間に接続されたコンデンサと、を備え、

前記ダイオードブリッジにより交流電源電圧を多パルス状の波形に変換して入力電流高調波を低減するようにした整流回路において、

一つのダイオードブリッジの正負出力端子間に半導体スイッチング素子と第1、第2の電流検出手段との直列回路を接続し、かつ、他のダイオードブリッジの正負出力端子間に半導体スイッチング素子を接続し、

第1の電流検出手段が接続されたスイッチング素子と第1の電流検出手段との直列回路と前記コンデンサとを含む閉回路に、当該スイッチング素子に並列接続されたダイオードブリッジに対して順方向となるダイオードを接続すると共に、

他のスイッチング素子と前記コンデンサとを含む閉回路に、当該他のスイッチング素子に並列接続されたダイオードブリッジに対して順方向となるダイオードをそれぞれ接続したものである。

【0015】

請求項2に記載した発明は、多相交流電源の各相にそれぞれ接続された変圧器と、これらの変圧器の二次側に交流側がそれぞれ接続され、かつ直流側の正負出力端子が共通接続された複数のダイオードブリッジと、

回路出力端子間に接続されたコンデンサと、を備え、

前記ダイオードブリッジにより交流電源電圧を多パルス状の波形に変換して入力電流高調波を低減するようにした整流回路において、

前記ダイオードブリッジの直流出力側に半導体スイッチング素子とダイオードとをそれぞれ接続し、

各スイッチング素子の駆動信号における変調信号を、交流電源電圧の周波数の6倍の周波数を持つ三角波としたものである。

【発明の効果】

【0018】

請求項1に記載した発明によれば、入力電圧が変動した場合でもスイッチング素子のデューティ比を制御することで出力電圧を常に一定に保つことができる。

また、スイッチング周波数成分のリプル電流も低減でき、リプル周波数を高くすることができる。よって、入力フィルタやノイズフィルタの小形化、低コスト化、低損失化が可能である。

更に、電流検出手段として高価なDC-CT（直流変流器）を使用することなく、安価なシャント抵抗などを使用することができ、装置の一層の低コスト化、小形化が可能である。

請求項2に記載した発明によれば、主回路部品を変更することなく、制御回路や制御ソフトウェアを変更するだけで、入力電流高調波を低減することが可能であり、装置の高性能化、入力フィルタの小形化、低損失化を達成することができる。

【発明を実施するための最良の形態】

【0019】

以下、図に沿って本発明の実施形態を説明する。

まず、図1は本発明の第1参考形態を示す回路構成図であり、図7と同一の構成要素については同一番号を付して説明を省略し、以下では異なる部分を中心に説明する。

図1において、ダイオードブリッジ10、11の正負出力端子間にはMOSFET等のスイッチング素子13が接続され、また、ダイオードブリッジ10、11の正側出力端子とコンデンサ16の正側端子との間には、ダイオード12が前記ダイオードブリッジ10、11に対して順方向に接続されている。なお、ダイオード12は、そのカソードをダイオードブリッジ10、11側に向けてコンデンサ16の負側端子とスイッチング素子13のソースとの間に接続しても良い。他の回路構成は、図7と同様である。

【0020】

上記構成において、スイッチング素子13をオンすることによってリアクトル4～6に蓄えられるエネルギーは増加し、そのエネルギーはスイッチング素子13をオフすることによってコンデンサ16に放出される。よって、交流電源1～3による入力電圧が変化したとしても、これを検出してスイッチング素子13のデューティ比を適切に調整することにより、整流回路の出力電圧を常に所望の一定値に制御することができる。

なお、本形態において、ダイオードブリッジ10、11の整流動作により交流電源電圧を多パルス状の波形に変換して5次、7次等の入力電流高調波を低減する作用は、図9と同様である。

【0021】

ここで、本形態によると、入力電流にスイッチング素子13のスイッチング周波数と同一周波数成分のリプル電流が重畳する。このリプル電流が大きいと、リプル除去用の入力フィルタやノイズフィルタの体積、重量、損失が大きくなり、高コスト化するおそれがある。

上記の不都合は、以下のようにして解決可能である。

【0022】

図2は、本発明の第2参考形態を示す回路構成図であり、ダイオードブリッジ10、11の直流側の正負出力端子間にそれぞれMOSFET等のスイッチング素子13、15が接続されていると共に、ダイオードブリッジ10、11の正側出力端子とコンデンサ16の一端との間には、ダイオード12、14がそれぞれダイオードブリッジ10、11に対して順方向に接続されている。

なお、スイッチング素子13、15及びダイオード12、14は、図1におけるスイッチング素子13及びダイオード12を個々のダイオードブリッジ10、11ごとに個別に設けただけであり、作用としては図1と同様である。

【0023】

ここで、一方のスイッチング素子13の駆動信号に対して他方のスイッチング素子15の駆動信号の位相を180度ずらすことにより、入力電流リプルは低減される。例えば、スイッチング素子13がオン、スイッチング素子15がオフの場合には、ダイオードブリッジ10の電流が増加し、ダイオードブリッジ11の電流は減少する。また、スイッチング素子13がオフ、スイッチング素子15がオンの場合には、ダイオードブリッジ10の電流が減少し、ダイオードブリッジ11の電流は増加する。

【0024】

ダイオードブリッジ10、11に流れる電流は入力電流から分流されるため、入力電流のリプル成分はキャンセルされることで低減される。同時に、スイッチング素子13、15のスイッチング周波数に起因する入力電流リプルの周波数は、第1参考形態に比べて2倍になる。

このように入力電流のリプルが減少し、しかもリプル電流の周波数成分が高くなることにより、リプル除去用の入力フィルタやノイズフィルタ、ひいては装置全体の小形軽量化、低損失化、低コスト化が可能となるものである。

【0025】

次に、請求項1に相当する本発明の第1実施形態を図3～図5に基づいて説明する。

上述した第2参考形態では、スイッチング素子13、15の特性や駆動信号のタイミングのばらつき等によって各スイッチング素子13、15のデューティ比が異なると、一方のダイオードブリッジ10と他方のダイオードブリッジ11との間で横流電流が流れる。

この横流電流は入力電流の高調波を増加させ、更に横流電流によって発生する損失が装置を破損するおそれもある。横流電流は直流成分を含んでいるため、通常はDC-CT（直流変流器）により検出して所定の保護動作を行うことが可能であるが、一般にDC-CTはコストが高いという問題がある。

そこで、本発明の第1実施形態は上記の課題を解決するものである。

【0026】

図3において、スイッチング素子13のソースとダイオードブリッジ10の負側出力端子との間には、第1、第2の電流検出手段としての抵抗17、18が直列に接続され、これらの抵抗17、18の相互接続点は負側の回路出力端子22に接続されている。その他の回路構成は図2の第2参考形態と同様である。

【0027】

以下に、第1実施形態の動作を説明する。

図3において、いま、横流電流が零の場合、電流はダイオードブリッジ10→スイッチング素子13と抵抗17、または、ダイオード12とコンデンサ16→抵抗18→ダイオードブリッジ10の経路で流れる。しかし、スイッチング素子13、15の特性や駆動信号のばらつき等により、スイッチング素子13、15のデューティ比が異なると、一方のダイオードブリッジ10と他方のダイオードブリッジ11との間で横流電流が流れる。

【0028】

例えば、スイッチング素子13のデューティ比がスイッチング素子15のそれよりも大きい(スイッチング素子13のオン期間がスイッチング素子15のオン期間より長い)と、電源1～3→リアクトル4～6→変圧器7～9→ダイオードブリッジ10→スイッチング素子13と抵抗17、またはダイオード12とコンデンサ16→ダイオードブリッジ11→変圧器7～9→リアクトル4～6→電源1～3の経路で横流電流が徐々に増加する。

【0029】

ここで、スイッチング素子13がオンの期間において、横流電流が零の場合には、ダイオードブリッジ10の正側出力端子からスイッチング素子13を経て流れる電流は全て抵抗17、18を介してダイオードブリッジ10の負側出力端子に流入するため、抵抗17、18の電圧降下として検出される電流値は等しくなる。しかし、スイッチング素子13がオンの期間において、ダイオードブリッジ10、11間に横流電流が流れている場合には、抵抗17を流れる電流の一部がダイオードブリッジ11側に流出するので、抵抗17、18の電圧降下として検出される電流値は異なってくる。従って、横流電流は、これらの電圧降下の差(ただし、ここではコンデンサ16の負側を制御回路の基準電位とするため、各電圧降下の極性は異なり、抵抗17、18の検出電圧値の和となる)を求めることによって検出することができる。

【0030】

ここで、図4は上記第1実施形態の制御ブロック図の一例を示し、また、図5は動作波形例を示している。

図4において、21はオンデレイ回路、22、23はスイッチ、24はローパスフィルタ、25、26はキャリア発生手段、27、28はコンパレータである。

【0031】

抵抗17の電圧 u_{R1} は立ち上がり直後にダイオード12の逆回復電流を含むため、スイッチング素子13のゲート信号 T_{1g} に対し、オンデレイ回路21によりデッドタイム t_d を設けた時間 T_{1g}' においてスイッチ22、23をオンして抵抗17、18の電圧 u_{R1} 、 u_{R2} を検出する。これにより電圧 u_{R1}' 、 u_{R2}' が得られ、その和を演算することにより電流 i_z が得られる。

上記の電流 i_z は、時間 T_{1g}' における横流電流を示しているため、ローパスフィルタ24により平均化した電流 i_z を、スイッチング素子13に対するキャリア信号 T_{ri1} と出力電圧指令 u_o^* との比較結果に加算すると共に、スイッチング素子15に対するキャリア信号 T_{ri2} と出力電圧指令 u_o^* との比較結果から減算してそれぞれフィードバックし、更にコンパレータ27、28に加えることにより、各スイッチング素子13、15のゲート信号 T_{1g} 、 T_{2g} を得、これらのゲート信号 T_{1g} 、 T_{2g} によりスイッチング素子13、15をオン、オフさせることで横流電流を抑制することができる。

【0032】

例えば、電流 i_z が正の時にはスイッチング素子13のデューティ比が減少し、スイッチング素子15のデューティ比が増加することにより、横流電流は減少する。逆に電流 i_z が負の時にはスイッチング素子13のデューティ比が増加し、スイッチング素子15のデューティ比が減少することにより、横流電流は減少する。

この実施形態によれば、高価なDC-CTを使用することなく、安価なシャント抵抗(抵抗17、18)を用いて横流電流を検出し、制御することができ、装置をより一層、低コスト化、小形化することができる。

【0033】

次いで、請求項2に相当する本発明の第2実施形態を図6に基づいて説明する。

前述した第2参考形態、第1実施形態では、交流電源1～3の中性点Oと端子a 3間の電圧 u_{a30} はステップ状に変化し（スイッチング周波数成分の電圧変化は無視する）、入力電流もステップ状に変化する。その結果、例えば1 2パルス状の入力電流ならば1 1次、1 3次以降の高調波が発生する。

そこで、第2実施形態では、スイッチング素子の駆動信号における変調率（変調信号）を変化させることによって入力電流の高調波を低減するものである。

【0034】

まず、第2参考形態（図2）及び第1実施形態（図3）では、それぞれのスイッチング素子1 3, 1 5の駆動信号における変調率を変化させることにより、変圧器7～9の二次側と中点Nとの間に発生する電圧 u_{a1N} , u_{a2N} , u_{b1N} , u_{b2N} , u_{c1N} , u_{c2N} も変化する。例えば、スイッチング素子1 3の変調率が高くなるとオン期間が長くなるので、 u_{a1N} は減少し、変調率が低くなるとオン期間が短くなるので、 u_{a1N} は増加する。その他の電圧 u_{a2N} , u_{b1N} , u_{b2N} , u_{c1N} , u_{c2N} も同様に変化する。ただし、ここではスイッチング周波数成分の電圧変化は無視している。

【0035】

u_{a1a2} , u_{b1b2} 及び u_{c1c2} は従来技術と同様に前述の数式1～数式3によって求まり、 u_{a30} も数式4～数式6によって求まる。ここで、各スイッチング素子1 3, 1 5の変調率を変化させることにより u_{a30} の波形も変化するので、適切な変調信号を用いて制御することにより、図6に示すように、 u_{a30} はステップ状に変化することなく、ほぼ正弦波状に制御することができる。更に、 u_{a30} が正弦波化されることにより、入力電流波形も正弦波化されて高調波成分を低減することができる。

このように、主回路部品を変更することなく、出力電圧を制御するために用いる各スイッチング素子の変調率を変更するだけで、入力電流の高調波を低減することが可能である。このような制御を行うことにより、主回路部品を変更せずに制御回路や制御ソフトを変更するだけで装置の高性能化、入力フィルタの小形・軽量化、低コスト化、低損失化が実現可能となる。

【図面の簡単な説明】

【0036】

- 【図1】本発明の第1参考形態を示す回路図である。
- 【図2】本発明の第2参考形態を示す回路図である。
- 【図3】本発明の第1実施形態を示す回路図である。
- 【図4】本発明の第1実施形態における制御ブロック図である。
- 【図5】本発明の第1実施形態の動作波形図である。
- 【図6】本発明の第2実施形態の動作波形図である。
- 【図7】従来技術を示す回路図である。
- 【図8】従来技術の電流ベクトル図である。
- 【図9】従来技術の動作波形図である。

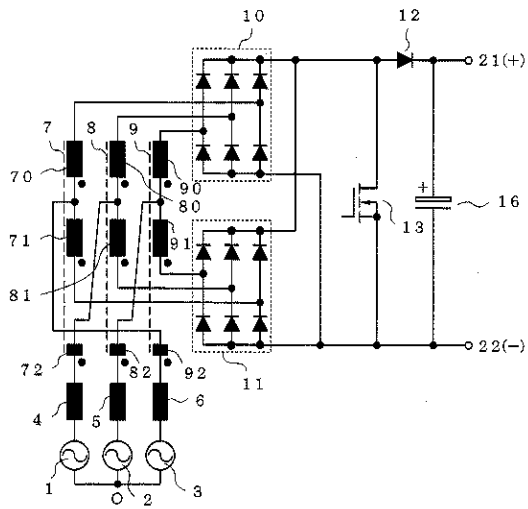
【符号の説明】

【0037】

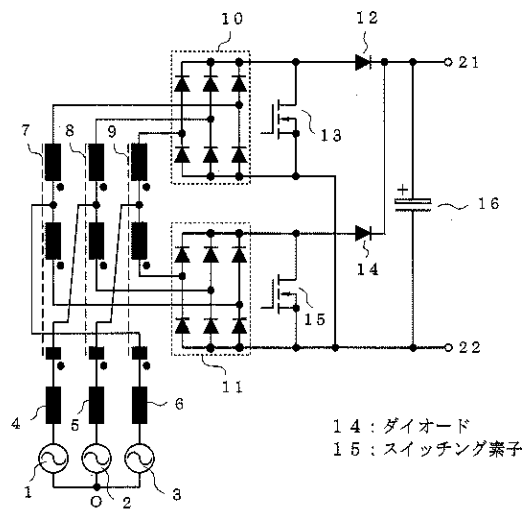
- 1, 2, 3 : 交流電源
- 4, 5, 6 : リアクトル
- 7, 8, 9 : 変圧器
- 70, 71, 72, 80, 81, 82, 90, 91, 92 : 巻線
- 10, 11 : ダイオードブリッジ
- 12, 14 : ダイオード
- 13, 15 : スwitching素子
- 16 : コンデンサ
- 17, 18 : 抵抗
- 21, 22 : 回路出力端子
- a1, a2, a3, b1, b2, b3, c1, c2, c3 : 端子

N : 中点
O : 中性点

【図1】



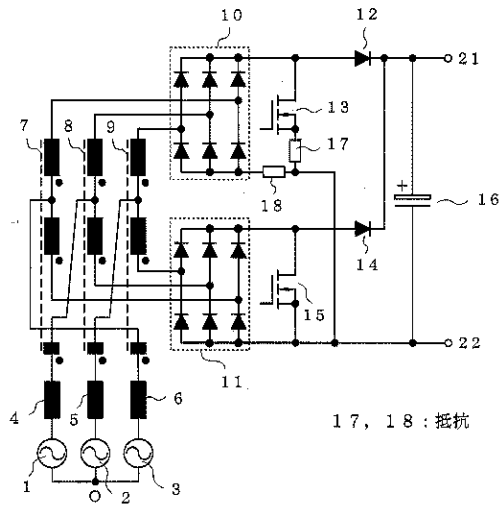
【図2】



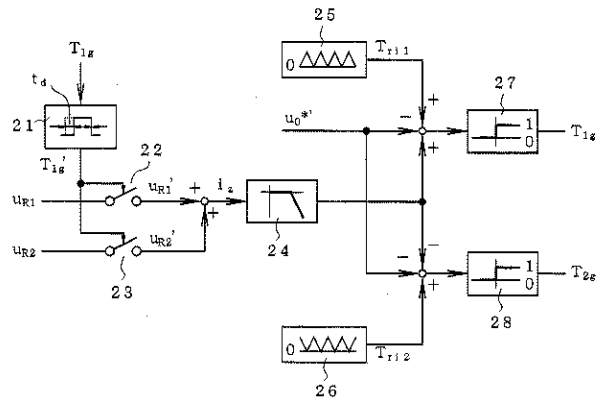
14 : ダイオード
15 : スイッチング素子

- 1, 2, 3 : 交流電源
- 4, 5, 6 : リアクトル
- 7, 8, 9 : 変圧器
- 70, 71, 72, 80, 81, 82, 90, 91, 92 : 巻線
- 10, 11 : ダイオードブリッジ
- 12 : ダイオード
- 13 : スイッチング素子
- 16 : コンデンサ
- 21, 22 : 回路出力端子

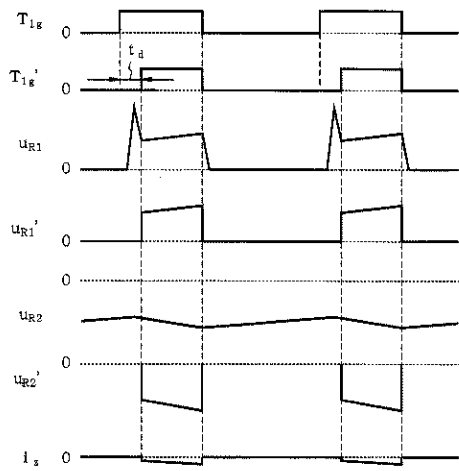
【図3】



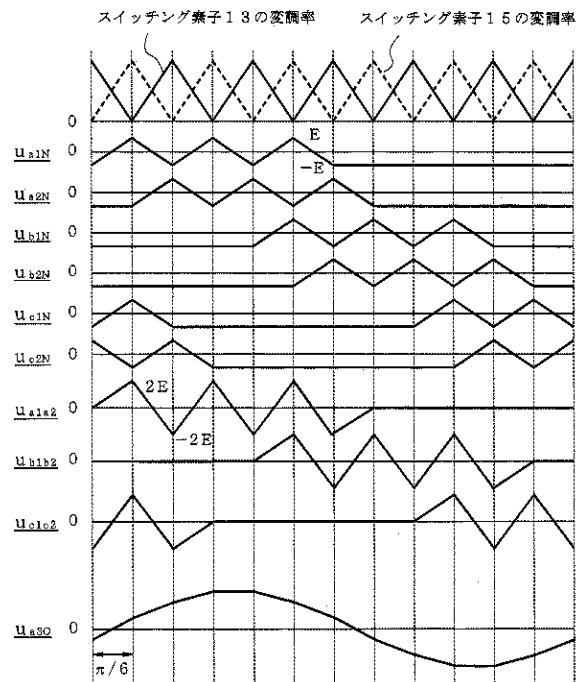
【図4】



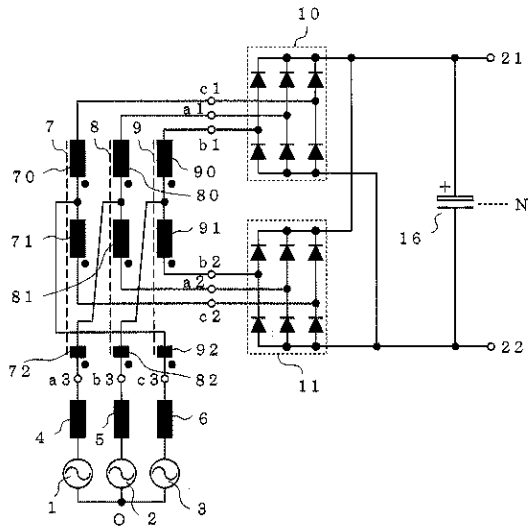
【図5】



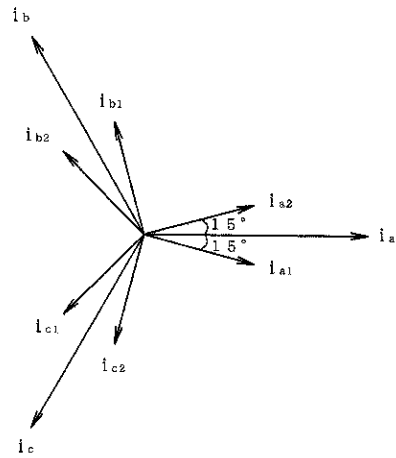
【図6】



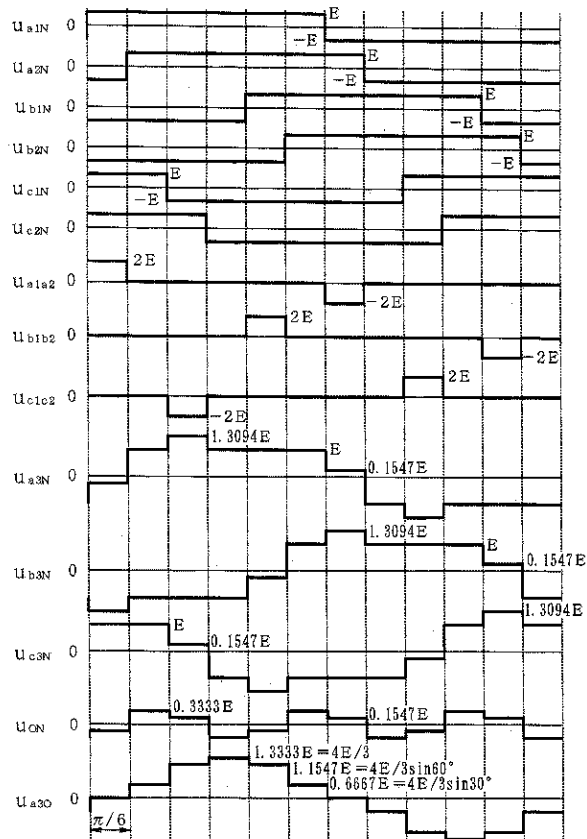
【图7】



【图8】



【图9】



(72)発明者 西田 保幸
栃木県那須郡那須町大字高久甲4453-248

審査官 三島木 英宏

(56)参考文献 特開平08-080047(JP, A)
特開2000-227243(JP, A)
特開2004-096826(JP, A)
実開平06-036387(JP, U)
特開平11-55953(JP, A)
特開平10-66333(JP, A)
特開平10-52033(JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 7/12