

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年7月28日(28.07.2022)



(10) 国際公開番号  
WO 2022/158521 A1

(51) 国際特許分類:  
H02M 1/08 (2006.01)

(21) 国際出願番号: PCT/JP2022/001972

(22) 国際出願日: 2022年1月20日(20.01.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

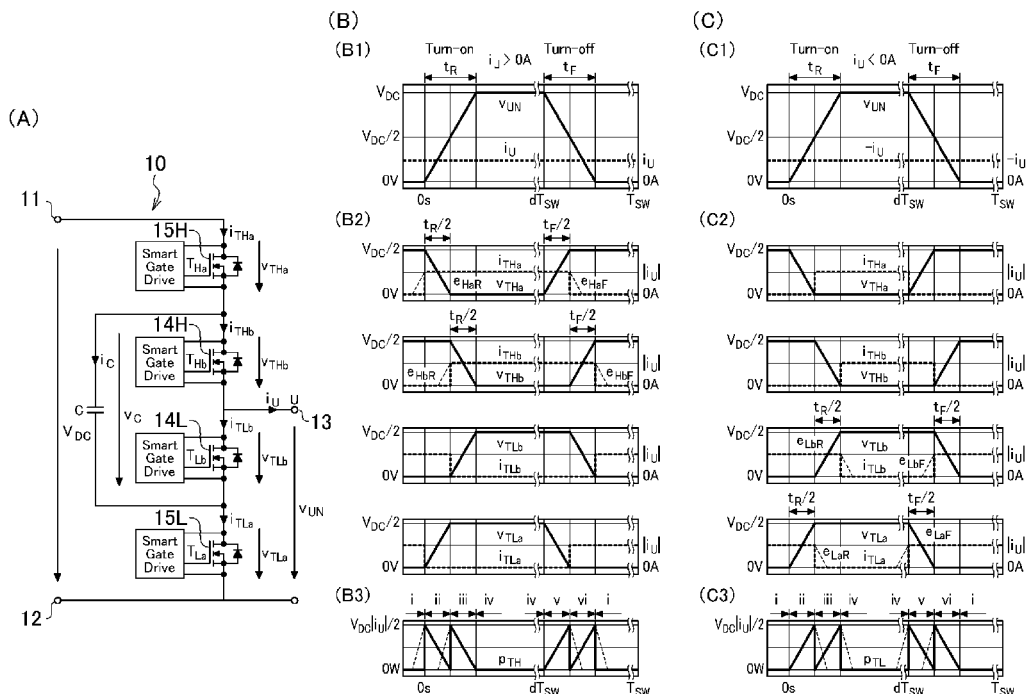
(30) 優先権データ:  
特願 2021-009124 2021年1月22日(22.01.2021) JP

(71) 出願人: ナブテスコ株式会社 (NABTESCO CORPORATION) [JP/JP]; 〒1020093 東京都千代田区平河町二丁目7番9号 Tokyo (JP).

(72) 発明者: 大野 泰生 (ONO Yasuo); 〒1020093 東京都千代田区平河町二丁目7番9号ナブテスコ株式会社内 Tokyo (JP). ハイダー ミハヤエル (HAIDER Michael); 8092 チューリッヒ、フュズィークシュトラッセ、3、エーテール、ハー22、エーテール、チューリッヒ、パワー、エレクトロニック、システムズ、ラボラトリー内 Zurich (CH). ボルティスドミニク (BORTIS Dominik); 8092 チューリッヒ、フュズィークシュトラッセ、3、エーテール、ハー22、エーテール、チューリッヒ、パワー、エレクトロニック、システムズ、ラボラトリー内 Zurich (CH). コラーヨハンペー (KOLAR Johann Walter); 8092 チューリッヒ、フュズィークシュトラッセ、3、エ

(54) Title: INVERTER, CONTROL METHOD FOR INVERTER, CONTROL PROGRAM FOR INVERTER, CONVERTER, AND DRIVING DEVICE

(54) 発明の名称: インバータ、インバータの制御方法、インバータの制御プログラム、コンバータ、駆動装置



(57) Abstract: This inverter 10 comprises a high-potential input terminal 11, a low-potential input terminal 12, an output terminal 13 that outputs AC power, a transistor pair 14, and a driver that performs complementary switching control of the transistor pair 14. The driver 16 includes a current adjustment element that adjusts the channel current of the transistor pair 14 and a voltage adjustment element that adjusts the channel voltage. In the switching control of the transistor pair 14,

WO 2022/158521 A1

ーテーエル、ハー 2 2、エーテーハー、チュー  
ーリッヒ、パワー、エレクトロニック、シス  
テムズ、ラボラトリー内 Zurich (CH).

(74) 代理人: 森下 賢樹 (MORISHITA Sakaki);  
〒1530061 東京都目黒区中目黒 1-8-1 V  
ORT 中目黒 1 3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,  
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,  
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,  
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the rate of time change of the channel current is adjusted to be greater than the rate of time change of the channel voltage.

(57) 要約: インバータ 10 は、高電位入力端子 11 と、低電位入力端子 12 と、交流電力を出力する出力端子 13 と、トランジスタ対 14 と、トランジスタ対 14 の相補的なスイッチング制御を行うドライバ 16 とを備える。ドライバ 16 は、トランジスタ対 14 のチャンネル電流を調整する電流調整素子およびチャンネル電圧を調整する電圧調整素子を含み、トランジスタ対 14 のスイッチング制御において、チャンネル電流の時間変化率が、チャンネル電圧の時間変化率よりも大きくなるように調整する。

## 明 細 書

### 発明の名称：

インバータ、インバータの制御方法、インバータの制御プログラム、コンバータ、駆動装置

### 技術分野

[0001] 本発明はインバータやコンバータの制御技術に関する。

### 背景技術

[0002] モータ等の交流駆動に用いられるインバータは、出力端子の高電位側と低電位側のトランジスタ対を相補的にオンオフ制御することで交流電力を出力する。コンバータは、インバータとは逆の動作によって、交流電力から直流電力を出力する。

### 先行技術文献

### 特許文献

[0003] 特許文献1：特開2020-80644号公報

### 発明の概要

### 発明が解決しようとする課題

[0004] 各トランジスタのオンオフ制御において、トランジスタがオンのときは電流経路（トランジスタがMOSFET（Metal Oxide Semiconductor Field Effect Transistor）の場合はソース／ドレイン間のチャネル、トランジスタがバイポーラトランジスタの場合はエミッタ／コレクタ間の経路）が導通状態にあるため、電流が流れ、電圧はゼロとみなせる。また、トランジスタがオフのときは電流経路が絶縁状態にあるため、電流はゼロとみなせ、電圧が発生する。オン時は電圧がゼロ、オフ時は電流がゼロであるため、トランジスタは電力を消費しない。しかし、トランジスタのオンオフが切り替わる際は、電圧および電流がゼロにならないため、スイッチング損失として知られる無駄な電力消費が発生する。

[0005] 本発明はこうした状況に鑑みてなされたものであり、その目的は、スイッチング損失を低減できるインバータやコンバータを提供することにある。

### 課題を解決するための手段

[0006] 上記課題を解決するために、本発明のある態様のインバータは、高電位の高電位入力端子と低電位の低電位入力端子を含み、両入力端子の間で直流電力が入力される入力端子と、交流電力を出力する出力端子と、高電位入力端子側と出力端子側を接続する電流経路を有する高電位トランジスタと、低電位入力端子側と出力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と、高電位トランジスタおよび低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで直流電力を交流電力に変換するスイッチング制御を行うドライバとを備える。ドライバは、各電流経路の電流を調整する電流調整素子および当該各電流経路の電圧を調整する電圧調整素子の少なくともいずれかを含み、電流調整素子および電圧調整素子の少なくともいずれかは、スイッチング制御において、各電流経路の電流の時間変化率が、各電流経路の電圧の時間変化率よりも大きくなるように調整する。

[0007] 従来一般的なインバータは、制御電極（トランジスタがMOSFETの場合はゲート電極、トランジスタがバイポーラトランジスタの場合はベース電極）に入力する制御信号によって各トランジスタのオンとオフを単純に切り替える構成のため、電流が切り替わる際の時間変化率と、電圧が切り替わる際の時間変化率に違いがない。これに対し本態様のインバータでは、ドライバに設けられる電流調整素子および電圧調整素子の少なくともいずれかによって、電流の時間変化率が電圧の時間変化率よりも大きくなるように調整される。急峻な電流変化によって電流スイッチング時間を短くできるため、電流の切り替わりに伴うスイッチング損失を低減できる。一方、電圧の時間変化率が過大になるとモータ巻線の絶縁破壊等のリスクが高まるため、電流の時間変化率よりも小さくなるのが好ましい。このように、本態様のインバータによれば、電流の切り替わりに伴うスイッチング損失の低減と、モータ巻線の

絶縁破壊等のリスクの低減を両立できる。

[0008] 上記における電流および電圧の時間変化率は次のように定義される。電流が時間  $T_i$  の間に最小値  $I_{min}$  と最大値  $I_{max}$  の間で切り替わる場合、電流の時間変化率は  $(I_{max} - I_{min}) / T_i$  で表され、以下これを微分の記号を用いて  $di/dt$  と表す。電圧が時間  $T_v$  の間に最小値  $V_{min}$  と最大値  $V_{max}$  の間で切り替わる場合、電流の時間変化率は  $(V_{max} - V_{min}) / T_v$  で表され、以下これを微分の記号を用いて  $dv/dt$  と表す。なお、電流と電圧が互いに逆方向に変化する場合、時間変化率の符号は正負逆になるが、本明細書では、電流と電圧の時間変化率の大小比較を行う際は、それぞれの絶対値を比較するものとする。

[0009] 本発明の別の態様は、コンバータである。この装置は、高電位の高電位出力端子と低電位の低電位出力端子を含み、両出力端子の間で直流電力を出力する出力端子と、交流電力が入力される入力端子と、高電位出力端子側と入力端子側を接続する電流経路を有する高電位トランジスタと、低電位出力端子側と入力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と、高電位トランジスタおよび低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで交流電力を直流電力に変換するスイッチング制御を行うドライバとを備える。ドライバは、各電流経路の電流を調整する電流調整素子および当該各電流経路の電圧を調整する電圧調整素子の少なくともいずれかを含み、電流調整素子および電圧調整素子の少なくともいずれかは、スイッチング制御において、各電流経路の電流の時間変化率が、各電流経路の電圧の時間変化率よりも大きくなるように調整する。

[0010] 本発明の別の態様は、駆動装置である。この装置は、互いに位相が異なる多相の交流電力で駆動されるモータと、各相の交流電力を生成する複数のインバータとを備える。各インバータは、高電位の高電位入力端子と低電位の低電位入力端子を含み、両入力端子の間で直流電力が入力される入力端子と、交流電力を出力する出力端子と、高電位入力端子側と出力端子側を接続す

る電流経路を有する高電位トランジスタと、低電位入力端子側と出力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と、高電位トランジスタおよび低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで直流電力を交流電力に変換するスイッチング制御を行うドライバとを備える。ドライバは、各電流経路の電流を調整する電流調整素子および当該各電流経路の電圧を調整する電圧調整素子の少なくともいずれかを含み、電流調整素子および電圧調整素子の少なくともいずれかは、スイッチング制御において、各電流経路の電流の時間変化率が、各電流経路の電圧の時間変化率よりも大きくなるように調整する。

[0011] 本発明のさらに別の態様は、インバータの制御方法である。この方法は、高電位の高電位入力端子と低電位の低電位入力端子を含み、両入力端子の間で直流電力が入力される入力端子と、交流電力を出力する出力端子と、高電位入力端子側と出力端子側を接続する電流経路を有する高電位トランジスタと、低電位入力端子側と出力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対とを備えるインバータの制御方法であって、高電位トランジスタおよび低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで直流電力を交流電力に変換するスイッチング制御ステップを備える。スイッチング制御において、各電流経路の電流の時間変化率が、各電流経路の電圧の時間変化率よりも大きくなるように調整する。

[0012] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

### 発明の効果

[0013] 本発明によれば、インバータやコンバータのスイッチング損失を低減できる。

### 図面の簡単な説明

- [0014] [図1]本発明の実施形態を含むモータ装置の構成を概略的に示す図である。
- [図2]インバータの構成を概略的に示す図である。
- [図3]ドライバの構成例を示す図である。
- [図4]インバータの作用を示す図である。
- [図5]出力電流が正の場合の各トランジスタの導通状態と電流経路を示す図である。
- [図6]出力電流が負の場合の各トランジスタの導通状態と電流経路を示す図である。
- [図7]接続経路に設けられるキャパシタの電流と電圧を示す図である。
- [図8]インバータの一回のスイッチング動作を通じてキャパシタの電荷の増減がある例を示す図である。
- [図9]スイッチング時間の不均衡を補正する補正装置の構成例を示す図である。
- 。
- [図10]キャパシタの代わりにダイオードを接続経路に設けた構成例を示す図である。

### 発明を実施するための形態

- [0015] 図1は、本発明の実施形態を含むモータ装置1の構成を概略的に示す。モータ装置1は、直流電力に基づいて交流電力を生成するインバータ10と、その交流電力で駆動されるモータ20を備える。
- [0016] モータ20は、U相、V相、W相の3相のコイル20U、20V、20Wを持つ3相ブラシレスモータである。インバータ10は、モータ20の各相に対応して、U相交流電力を生成するU相インバータ10Uと、V相交流電力を生成するV相インバータ10Vと、W相交流電力を生成するW相インバータ10Wを含む。各相のインバータ10U、10V、10Wは、モータ20のホール素子H1、H2、H3が検知した回転子の回転位置に基づき、互いに位相が異なる交流電力を各相のコイル20U、20V、20Wに印加することで回転磁界を発生させる。この回転磁界によって回転する回転子から所望の回転動力が得られる。なお、モータ20は、交流電圧で駆動される他

のタイプのモータでもよい。また、モータ20の相の数は3に限られず、2以上の任意の自然数でよい。

[0017] 各相のインバータ10U、10V、10Wの構成は共通であるため、以下では適宜インバータ10と総称して、その構成、作用、効果について説明する。交流電力を生成するインバータ10は、高い直流電源電位 $V_{dd}$ が入力される高電位入力端子11と、低い直流電源電位 $V_{ss}$ が入力される低電位入力端子12と、高電位入力端子11と低電位入力端子12の間に設けられて $V_{dd}$ と $V_{ss}$ の間で変動する交流電圧を出力する出力端子13を備える。 $V_{ss}$ は $V_{dd}$ よりも低い任意の電位でよいが、以下では説明を簡素化するため、 $V_{ss}$ をゼロとする。そして、インバータ10の両入力端子11、12の間で入力される直流動作電圧 $V_{dd} - V_{ss} = V_{dd}$ を $V_{DC}$ とも表す。

[0018] 図2は、インバータ10（U相インバータ10U）の構成を概略的に示す。インバータ10は、第1のトランジスタ対14と、第2のトランジスタ対15と、第1のドライバ16と、第2のドライバ17と、接続経路18と、コントローラ100を備える。

[0019] 第1のトランジスタ対14は、高電位入力端子11側と出力端子13側を接続する電流経路を有する第1の高電位トランジスタ14Hと、低電位入力端子12側と出力端子13側を接続する電流経路を有する第1の低電位トランジスタ14Lを備える。各トランジスタ14H、14LはNチャンネル型のMOSFETであり、第1のドライバ16がゲート電極に入力する制御信号に応じてソース／ドレイン間に形成されるチャンネルが電流経路を構成する。なお、これらのトランジスタ14H、14Lや後述する他のトランジスタは、Nチャンネル型のMOSFETに限らず、全部または一部をPチャンネル型のMOSFETで構成してもよい。また、これらのトランジスタは、MOSFETに限らず、PNP型ないしNPN型のバイポーラトランジスタや、IGBT（Insulated Gate Bipolar Transistor）で構成してもよい。

[0020] 第2のトランジスタ対15は、高電位入力端子11側と第1の高電位トラ



ンジスタ 14 H 側を接続する電流経路を有する第 2 の高電位トランジスタ 15 H と、低電位入力端子 12 側と第 1 の低電位トランジスタ 14 L 側を接続する電流経路を有する第 2 の低電位トランジスタ 15 L を備える。すなわち、出力端子 13 と高電位入力端子 11 の間には、出力端子 13 から高電位入力端子 11 に向かう方向に、第 1 の高電位トランジスタ 14 H と第 2 の高電位トランジスタ 15 H が直列接続され、出力端子 13 と低電位入力端子 12 の間には、出力端子 13 から低電位入力端子 12 に向かう方向に、第 1 の低電位トランジスタ 14 L と第 2 の低電位トランジスタ 15 L が直列接続される。各トランジスタ 15 H、15 L は MOSFET であり、第 2 のドライバ 17 がゲート電極に入力する制御信号に応じてソース／ドレイン間に形成されるチャネルが電流経路を構成する。

[0021] 第 1 のドライバ 16 は、コントローラ 100 の制御の下で第 1 の高電位トランジスタ 14 H のゲート電極に制御信号を入力する第 1 の高電位ドライバ 16 H と、コントローラ 100 の制御の下で第 1 の低電位トランジスタ 14 L のゲート電極に制御信号を入力する第 1 の低電位ドライバ 16 L を備え、各トランジスタ 14 H、14 L の電流経路の導通状態を互いに相補的に切り替えることで直流電力を交流電力に変換する第 1 のスイッチング制御を行う。ここで「相補的に切り替える」とは、各トランジスタ 14 H、14 L のオンオフ状態が互いに逆となるように制御することを意味する。すなわち、トランジスタ 14 H がオンのときはトランジスタ 14 L をオフとし、トランジスタ 14 H がオフのときはトランジスタ 14 L をオンとし、トランジスタ 14 H がオンからオフに切り替わるときはトランジスタ 14 L をオフからオンに切り替え、トランジスタ 14 H がオフからオンに切り替わるときはトランジスタ 14 L をオンからオフに切り替える。

[0022] 第 2 のドライバ 17 は、コントローラ 100 の制御の下で第 2 の高電位トランジスタ 15 H のゲート電極に制御信号を入力する第 2 の高電位ドライバ 17 H と、コントローラ 100 の制御の下で第 2 の低電位トランジスタ 15 L のゲート電極に制御信号を入力する第 2 の低電位ドライバ 17 L を備え、

各トランジスタ15H、15Lの電流経路の導通状態を互いに相補的に切り替えることで直流電力を交流電力に変換する第2のスイッチング制御を行う。「相補的に切り替える」の意味は、上記の第1のドライバ16と同様、各トランジスタ15H、15Lのオンオフ状態が互いに逆となるように制御することを意味する。詳細は後述するが、第2のドライバ17による第2のスイッチング制御は、第1のドライバ16による第1のスイッチング制御のタイミングから所定時間ずれたタイミングで行われる。

[0023] 接続経路18は、第1の高電位トランジスタ14Hと第2の高電位トランジスタ15Hの接続部分18Hと、第1の低電位トランジスタ14Lと第2の低電位トランジスタ15Lの接続部分18Lを、相互に接続する。接続経路18には、電圧変動抑制素子の一態様としての容量値Cのキャパシタ181が設けられる。

[0024] 以上の構成のインバータ10の作用を説明する前に、図3を参照してドライバ16H、16L、17H、17Lの詳細な構成を説明する。各ドライバ16H、16L、17H、17Lの構成は共通であるため、図3ではこれらをドライバ30と総称して説明する。図3(A)および図3(B)にドライバ30の二つの構成例を示す。

[0025] 図3(A)の第1の構成例に係るドライバ30は、駆動対象のトランジスタのゲート/ソース間電圧に対応する電圧 $v_{GS}$ が入力される一対の電圧入力端子31と、ゲート側の電圧入力端子31に接続されるオペアンプ32と、オペアンプ32とゲート電極の間に設けられる抵抗値 $R_G$ のゲート抵抗33と、ゲート抵抗33とゲート電極の間から分岐してトランジスタのドレインと繋がる分岐線に設けられる容量値 $C_M$ のミラーキャパシタ34を備える。なお、入力電圧 $v_{GS}$ は、図2のコントローラ100が生成する。

[0026] ゲート抵抗33は、トランジスタのオンオフが切り替わる際のチャンネルの電流を調整する電流調整素子として機能する。具体的には、抵抗値 $R_G$ によって、トランジスタのオンオフが切り替わる際の電流の時間変化率 $di/dt$ を調整できる。抵抗値 $R_G$ を大きくすれば $di/dt$ は小さくなり、抵抗値 $R_G$ を小さくす

れば $di/dt$ は大きくなる。後述するように、本実施形態では $di/dt$ を大きくするのが好ましく、抵抗値 $R_G$ を小さくするのが好ましい。本発明者の行ったシミュレーションによれば、現実的な抵抗値 $R_G$ の範囲で略無限大の $di/dt$ を実現できる。この場合、トランジスタのオンオフが切り替わる際、電流は瞬時に最小値と最大値の間で切り替わる。このような急峻な電流変化によって電流スイッチング時間を実質的にゼロにできるため、電流の切り替わりに伴うスイッチング損失を低減できる。なお、ドライバ30の動作中も抵抗値 $R_G$ を可変として、トランジスタのオンオフが切り替わる際の $di/dt$ を精緻に制御してもよい。

[0027] ミラーキャパシタ34は、トランジスタのオンオフが切り替わる際のチャネルの電圧を調整する電圧調整素子として機能する。具体的には、容量値 $C_M$ によって、トランジスタのオンオフが切り替わる際の電圧の時間変化率 $dv/dt$ を調整できる。電圧の切り替わりに伴うスイッチング損失を低減するためには、上記の $di/dt$ と同様に $dv/dt$ も大きくするのが好ましいが、一方で $dv/dt$ を大きくし過ぎるとモータ20のコイル20U、20V、20Wの絶縁破壊のリスクが高まる。そこで、容量値 $C_M$ を適当な値に設定して、絶縁破壊のリスクが許容できる範囲で可能な限り $dv/dt$ を大きくする。結果的に、このような制約のある $dv/dt$ は、制約のない $di/dt$ に比べて小さくなるように調整される。なお、ドライバ30の動作中も容量値 $C_M$ を可変として、トランジスタのオンオフが切り替わる際の $dv/dt$ を精緻に制御してもよい。

[0028] オペアンプ32は、その構成やパラメータを適宜調整することで、電流調整素子としても電圧調整素子としても機能しうる。 $di/dt$ 、 $dv/dt$ それぞれの調整目標は上述の通りであり、 $di/dt$ は可能な限り大きく（実質的に無限大）、 $dv/dt$ は絶縁破壊のリスクが許容できる範囲で可能な限り大きくする。

[0029] 図3（B）の第2の構成例に係るドライバ30は、駆動対象のトランジスタのゲート／ソース間電圧に対応する電圧 $v_{GS}$ が入力される一対の電圧入力端子31と、ゲート側の電圧入力端子31に接続されるオペアンプ32と、オペアンプ32とゲート電極の間に設けられる抵抗値 $R_G$ のゲート抵抗33と

、ゲート側の電圧入力端子31とオペアンプ32の間から分岐してトランジスタのドレインと繋がる分岐線に設けられる容量値 $C_V$ のキャパシタ35を備える。図3(A)の第1の構成例とはキャパシタ35のみが異なる。

[0030] キャパシタ35は、ミラーキャパシタ34と同様に、トランジスタのオンオフが切り替わる際のチャンネルの電圧を調整する電圧調整素子として機能する。具体的には、容量値 $C_V$ によって、トランジスタのオンオフが切り替わる際の電圧の時間変化率 $dv/dt$ を調整できる。ミラーキャパシタ34の容量値 $C_M$ と同様に、ドライバ30の動作中も容量値 $C_V$ を可変として、トランジスタのオンオフが切り替わる際の $dv/dt$ を精緻に制御してもよい。さらにキャパシタ35によれば、ドライバ30の出力波形だけでなく、インバータ10全体の出力波形も調整できるため、不要な電磁ノイズの放射を抑制できる。

[0031] 以上の構成のインバータ10の作用を図4に示す。図4(A)は、図2に示したインバータ10の構成である。図4(B)は、出力端子13を流れる電流 $i_U$ が正の場合を示す。図4(C)は、出力端子13を流れる電流 $i_U$ が負の場合を示す。電流 $i_U$ は、図4(A)の出力端子13から流出する場合を正とし、出力端子13に流入する場合を負とする。図4(B1)および(C1)は、出力端子13に現れる電圧と電流を示す。図4(B2)および(C2)は、四つのトランジスタ15H、14H、14L、15Lのソース/ドレイン間のチャンネルの電圧と電流を示す。図4(B3)および(C3)は、インバータ10のスイッチング損失を示す。

[0032] まず、電流 $i_U$ が正の場合の図4(B)について説明する。図4(B1)は、インバータ10が一回のスイッチング動作を行う際に出力端子13に現れる電圧と電流を示す。詳細は後述するが、電圧は高さ $V_{DC}$  ( $V_{DD} - V_{SS}$ )の台形状のパルスであり、電流 $i_U$ の大きさは一定である。時刻 $0s$ から立上り時間 $t_R$ の間は、高電位側のトランジスタ15H、14Hが順次オンし、それと相補的に低電位側のトランジスタ15L、14Lが順次オフすることで、出力端子13の電圧が $0V$ から $V_{DC}$ まで線形に増加する。立上り時間 $t_R$ の後、スイッチオフ時刻 $dT_{sw}$ までの間は電圧の大きさは $V_{DC}$ で一定である

。すなわち、スイッチオフ時刻  $d T_{sw}$  は、台形状の電圧パルスの幅を決める。一般的なパルス幅変調 (PWM) 技術により、各電圧パルスの幅あるいはデューティ比を変化させることで、所望の周波数の交流電圧が生成される。スイッチオフ時刻  $d T_{sw}$  から立下り時間  $t_F$  の間は、高電位側のトランジスタ 15 H、14 H が順次オフし、それと相補的に低電位側のトランジスタ 15 L、14 L が順次オンすることで、出力端子 13 の電圧が  $V_{DC}$  から 0 V まで線形に減少する。

[0033] 図4 (B2) の四つのトランジスタ 15 H、14 H、14 L、15 L の動作を説明するに当たって、図4 (B3) に示される六つの区間  $i-v_i$  に分ける。図5 には、各区間  $i-v_i$  における各トランジスタの導通状態と電流経路を示す。図5 の出力端子を流れる電流  $i_U$  は全ての区間で正であり、図4 (B1) に示されるように大きさは一定である。

[0034] 時刻  $0_s$  より前の区間  $i$  では、トランジスタ 15 H、14 H がオフ状態、トランジスタ 14 L、15 L がオン状態である。低電位入力端子 12 が出力端子 13 と導通しているため、出力端子 13 の電圧は 0 V である。高電位入力端子 11 と出力端子 13 の間の電圧  $V_{DC}$  は、トランジスタ 15 H、14 H で均等に分圧されるため、各トランジスタの電圧は  $V_{DC}/2$  である。オン状態のトランジスタ 14 L、15 L の電圧は 0 V であり、電流  $i_U$  が流れる。

[0035] 時刻  $0_s$  から  $t_R/2$  までの区間  $ii$  では、トランジスタ 15 H、15 L のオンオフ状態が相補的に切り替わる。すなわち、トランジスタ 15 H はオフ状態からオン状態に切り替わり、トランジスタ 15 L はオン状態からオフ状態に切り替わる。これが本発明の第2のスイッチング制御に相当する。このとき、図5 に示されるように、トランジスタ 15 H がオン状態に切り替わるにつれて、高電位入力端子 11 からの電流がトランジスタ 15 H を流れ、接続経路 18 のキャパシタ 181 とオン状態のトランジスタ 14 L を経由して出力端子 13 を流れる。図4 (B2) のトランジスタ 15 H、15 L の電圧と電流を見ると、電圧の時間変化率  $dv/dt$  は  $(V_{DC}/2) / (t_R/2) = V_{DC} / t_R$  であり、電流の時間変化率  $di/dt$  は無限大である。すなわち、電圧は 0

$s \sim t_R/2$  の区間 ii に亘って線形に変化する一方、電流は区間 ii の開始時刻  $0s$  で瞬時に切り替わる。 $dv/dt$ ,  $di/dt$  をこのように調整する構成については図 3 で説明した。

[0036] 時刻  $t_R/2$  から  $t_R$  までの区間 iii では、トランジスタ 14H、14L のオンオフ状態が相補的に切り替わる。すなわち、トランジスタ 14H はオフ状態からオン状態に切り替わり、トランジスタ 14L はオン状態からオフ状態に切り替わる。これが本発明の第 1 のスイッチング制御に相当する。このとき、図 5 に示されるように、トランジスタ 14H がオン状態に切り替わるにつれて、高電位入力端子 11 からの電流がオン状態のトランジスタ 15H を経由してトランジスタ 14H を流れる。図 4 (B2) のトランジスタ 14H、14L の電圧と電流を見ると、電圧の時間変化率  $dv/dt$  は  $(V_{DC}/2) / (t_R/2) = V_{DC}/t_R$  であり、電流の時間変化率  $di/dt$  は無限大である。すなわち、電圧は  $t_R/2 \sim t_R$  の区間 iii に亘って線形に変化する一方、電流は区間 iii の開始時刻  $t_R/2$  で瞬時に切り替わる。

[0037] 以上のように、区間 ii ではトランジスタ 15H、15L のオンオフ状態が相補的に切り替わる第 2 のスイッチング制御が行われ、それに続く区間 iii ではトランジスタ 14H、14L のオンオフ状態が相補的に切り替わる第 1 のスイッチング制御が行われる。すなわち、第 2 のスイッチング制御は第 1 のスイッチング制御より前に行われる。換言すれば、各トランジスタ対のスイッチング制御のタイミングは、出力端子 13 から遠い側のトランジスタ対（本例では第 2 のトランジスタ対 15）ほど早い。また、第 2 のスイッチング制御と第 1 のスイッチング制御のタイミングは、第 2 のスイッチング制御（区間 ii）において、トランジスタ 15H、15L のそれぞれのチャネルの電圧スイッチングの過渡時間  $t_R/2$  だけずれている。これにより、区間 ii でトランジスタ 15H、15L の電圧が切り替わった後、間を置かずに区間 iii でトランジスタ 14H、14L の電圧が切り替わる。さらに、上記の通り、区間 ii と iii の電圧の時間変化率  $dv/dt$  は  $V_{DC}/t_R$  で互いに等しい。この結果、図 4 (B1) のように、時刻  $t_R/2$  で滑らかに接続された電圧波形が得られ

る。仮に第2のスイッチング制御と第1のスイッチング制御のタイミングが  $t_R/2$  よりも大きくずれている場合、第2のスイッチング制御の終了時刻  $t_R/2$  から第1のスイッチング制御の開始時刻まで出力電圧が中間電圧  $V_{DC}/2$  付近に留まるため、図4 (B1) のような一つの台形状の電圧パルスとはならず、 $0V$ 、 $V_{DC}/2$ 、 $V_{DC}$  の3レベルの階段状の電圧パルスとなる。階段状の電圧パルスでもインバータ10の動作に支障はないが、電圧パルス波形を整えたい事情がある場合は台形状の電圧パルスとするのが好ましい。台形状の電圧パルスは、 $0V$ 、 $V_{DC}$  の2レベルを取る。本来であれば $0V$ 、 $V_{DC}/2$ 、 $V_{DC}$  の3レベルとなるところを、擬似的に $0V$ 、 $V_{DC}$  の2レベルとしているため、これを「3レベル/疑似2レベル制御」ともいう。

[0038] 時刻  $t_R$  から  $dT_{SW}$  までの区間ivでは、区間iii終了時の状態がそのまま維持され、パルス幅変調に基づく所望幅の電圧パルスが形成される。区間ivでは、トランジスタ15H、14Hがオン状態、トランジスタ14L、15Lがオフ状態である。高電位入力端子11が出力端子13と導通しているため、出力端子13の電圧は $V_{DC}$ である。低電位入力端子12と出力端子13の間の電圧 $V_{DC}$ は、トランジスタ14L、15Lで均等に分圧されるため、各トランジスタの電圧は $V_{DC}/2$ である。オン状態のトランジスタ15H、14Hの電圧は $0V$ であり、電流  $i_U$  が流れる。

[0039] 時刻  $dT_{SW}$  から  $dT_{SW} + t_F/2$  までの区間vでは、トランジスタ15H、15Lのオンオフ状態が相補的に切り替わる。すなわち、トランジスタ15Hはオン状態からオフ状態に切り替わり、トランジスタ15Lはオフ状態からオン状態に切り替わる。区間iiと同様に、これも本発明の第2のスイッチング制御に相当する。このとき、図5に示されるように、区間ivと同様にトランジスタ15H、14Hを電流  $i_U$  が流れる。図4 (B2) のトランジスタ15H、15Lの電圧と電流を見ると、電圧の時間変化率  $dv/dt$  は  $(V_{DC}/2) / (t_F/2) = V_{DC}/t_F$  であり、電流の時間変化率  $di/dt$  は無限大である。すなわち、電圧は  $dT_{SW} \sim dT_{SW} + t_F/2$  の区間vに亘って線形に変化する一方、電流は区間vの終了時刻  $dT_{SW} + t_F/2$  で瞬時に切り替わる。

[0040] 時刻  $d T_{sw} + t_F / 2$  から  $d T_{sw} + t_F$  までの区間  $v_i$  では、トランジスタ 14 H、14 L のオンオフ状態が相補的に切り替わる。すなわち、トランジスタ 14 H はオン状態からオフ状態に切り替わり、トランジスタ 14 L はオフ状態からオン状態に切り替わる。区間  $iii$  と同様に、これも本発明の第 1 のスイッチング制御に相当する。このとき、図 5 に示されるように、低電位入力端子 12 からの電流がオン状態のトランジスタ 15 L を流れ、接続経路 18 のキャパシタ 181 とトランジスタ 14 H を経由して出力端子 13 を流れる。図 4 (B2) のトランジスタ 14 H、14 L の電圧と電流を見ると、電圧の時間変化率  $dv/dt$  は  $(V_{DC} / 2) / (t_F / 2) = V_{DC} / t_F$  であり、電流の時間変化率  $di/dt$  は無限大である。すなわち、電圧は  $d T_{sw} + t_F / 2 \sim d T_{sw} + t_F$  の区間  $v_i$  に亘って線形に変化する一方、電流は区間  $v_i$  の終了時刻  $d T_{sw} + t_F$  で瞬時に切り替わる。

[0041] 以上のように、区間  $v$  ではトランジスタ 15 H、15 L のオンオフ状態が相補的に切り替わる第 2 のスイッチング制御が行われ、それに続く区間  $v_i$  ではトランジスタ 14 H、14 L のオンオフ状態が相補的に切り替わる第 1 のスイッチング制御が行われる。すなわち、上述の区間  $ii$ ,  $iii$  と同様に、第 2 のスイッチング制御は第 1 のスイッチング制御より前に行われる。換言すれば、各トランジスタ対のスイッチング制御のタイミングは、出力端子 13 から遠い側のトランジスタ対（本例では第 2 のトランジスタ対 15）ほど早い。また、第 2 のスイッチング制御と第 1 のスイッチング制御のタイミングは、第 2 のスイッチング制御（区間  $v$ ）において、トランジスタ 15 H、15 L のそれぞれのチャネルの電圧スイッチングの過渡時間  $t_F / 2$  だけずれている。これにより、区間  $v$  でトランジスタ 15 H、15 L の電圧が切り替わった後、間を置かずに区間  $v_i$  でトランジスタ 14 H、14 L の電圧が切り替わる。さらに、上記の通り、区間  $v$  と  $v_i$  の電圧の時間変化率  $dv/dt$  は  $V_{DC} / t_F$  で互いに等しい。この結果、図 4 (B1) のように、時刻  $d T_{sw} + t_F / 2$  で滑らかに接続された電圧波形が得られる。つまり、電圧パルスの立上り側だけでなく立下り側でも、前述の「3 レベル／疑似 2 レベル制御」が実現される。



[0042] 図4 (B3) は、インバータ10のスイッチング損失を示す。スイッチング損失は、インバータ10の一回のスイッチング動作を通じて、各トランジスタ15H、14H、14L、15Lで消費される電力の総和である。電力が消費されるのは、図4 (B2) に示される各トランジスタ15H、14H、14L、15Lの電圧と電流が共にゼロでない場合である。具体的には、区間iiでトランジスタ15Hが、区間iiiでトランジスタ14Hが、区間vでトランジスタ15Hが、区間viでトランジスタ14Hが電力を消費する。図4 (B3) に示されるように、四つの区間ii, iii, v, viで消費される電力は、それぞれ高さが $V_{DC} \times i_U / 2$ の直角三角形の面積で表される。各直角三角形の底辺の長さは、区間ii, iiiで $t_R / 2$ であり、区間v, viで $t_F / 2$ である。したがって、これらの四つの直角三角形の面積の総和であるスイッチング損失は $t_R \times V_{DC} \times i_U / 4 + t_F \times V_{DC} \times i_U / 4$ で表される。ここで、各トランジスタ15H、14Hで消費される電力が直角三角形の面積で表されるのは、各区間ii, iii, v, viにおける電流の時間変化率 $di/dt$ が無限大であり、電流が時間軸に垂直な方向に瞬時に変化するためである。比較例として、 $di/dt$ が無限大でない場合を点線で示す。この場合、上記の各直角三角形の直角部に隣接して追加的なスイッチング損失が生じる。したがって、 $di/dt$ を無限大とすることでスイッチング損失を低減できる。

[0043] 以上、図4 (B) および図5を参照して電流 $i_U$ が正の場合のインバータ10の作用を説明した。図4 (C) および図6に電流 $i_U$ が負の場合のインバータ10の作用を示すが、基本的な内容は共通するため、説明を適宜省略する。

[0044] 図4 (C1) は、インバータ10が一回のスイッチング動作を行う際に出端子13に現れる電圧と電流を示す。電圧は高さ $V_{DC}$ の台形状のパルスであり、電流 $i_U$ の大きさは一定である ( $i_U$ は負であるため、マイナスを付けて正領域に表示している)。時刻 $0_s$ から立上り時間 $t_R$ の間は、高電位側のトランジスタ15H、14Hが順次オンし、それと相補的に低電位側のトランジスタ15L、14Lが順次オフすることで、出力端子13の電圧が0V

から $V_{DC}$ まで線形に増加する。立上り時間 $t_R$ の後、スイッチオフ時刻 $dT_{sw}$ までの間は電圧の大きさは $V_{DC}$ で一定である。スイッチオフ時刻 $dT_{sw}$ から立下り時間 $t_F$ の間は、高電位側のトランジスタ15H、14Hが順次オフし、それと相補的に低電位側のトランジスタ15L、14Lが順次オンすることで、出力端子13の電圧が $V_{DC}$ から0Vまで線形に減少する。

[0045] 図4(C2)の四つのトランジスタ15H、14H、14L、15Lの動作を説明するに当たって、図4(C3)に示される六つの区間i-viに分ける。図6には、各区間i-viにおける各トランジスタの導通状態と電流経路を示す。図6の出力端子を流れる電流 $i_U$ は全ての区間で負であり、図4(C1)に示されるように大きさは一定である。

[0046] 時刻 $0s$ より前の区間iでは、トランジスタ15H、14Hがオフ状態、トランジスタ14L、15Lがオン状態である。低電位入力端子12が出力端子13と導通しているため、出力端子13の電圧は0Vである。高電位入力端子11と出力端子13の間の電圧 $V_{DC}$ は、トランジスタ15H、14Hで均等に分圧されるため、各トランジスタの電圧は $V_{DC}/2$ である。オン状態のトランジスタ14L、15Lの電圧は0Vであり、電流 $i_U$ が流れる。

[0047] 時刻 $0s$ から $t_R/2$ までの区間iiでは、トランジスタ15H、15Lのオンオフ状態が相補的に切り替わる。すなわち、トランジスタ15Hはオフ状態からオン状態に切り替わり、トランジスタ15Lはオン状態からオフ状態に切り替わる。これが本発明の第2のスイッチング制御に相当する。このとき、図6に示されるように、区間iと同様にトランジスタ14L、15Lを電流 $i_U$ が流れる。図4(C2)のトランジスタ15H、15Lの電圧と電流を見ると、電圧の時間変化率 $dv/dt$ は $(V_{DC}/2)/(t_R/2) = V_{DC}/t_R$ であり、電流の時間変化率 $di/dt$ は無限大である。すなわち、電圧は $0s \sim t_R/2$ の区間iiに亘って線形に変化する一方、電流は区間iiの終了時刻 $t_R/2$ で瞬時に切り替わる。

[0048] 時刻 $t_R/2$ から $t_R$ までの区間iiiでは、トランジスタ14H、14Lのオンオフ状態が相補的に切り替わる。すなわち、トランジスタ14Hはオフ状

態からオン状態に切り替わり、トランジスタ 14 L はオン状態からオフ状態に切り替わる。これが本発明の第 1 のスイッチング制御に相当する。このとき、図 6 に示されるように、出力端子 13 からの電流がトランジスタ 14 L を流れ、接続経路 18 のキャパシタ 18 1 とオン状態のトランジスタ 15 H を経由して高電位入力端子 11 を流れる。図 4 (C 2) のトランジスタ 14 H、14 L の電圧と電流を見ると、電圧の時間変化率  $dv/dt$  は  $(V_{DC}/2) / (t_R/2) = V_{DC}/t_R$  であり、電流の時間変化率  $di/dt$  は無限大である。すなわち、電圧は  $t_R/2 \sim t_R$  の区間 iii に亘って線形に変化する一方、電流は区間 iii の終了時刻  $t_R$  で瞬時に切り替わる。

[0049] 以上のように、区間 ii ではトランジスタ 15 H、15 L のオンオフ状態が相補的に切り替わる第 2 のスイッチング制御が行われ、それに続く区間 iii ではトランジスタ 14 H、14 L のオンオフ状態が相補的に切り替わる第 1 のスイッチング制御が行われる。すなわち、第 2 のスイッチング制御は第 1 のスイッチング制御より前に行われる。また、第 2 のスイッチング制御と第 1 のスイッチング制御のタイミングは、第 2 のスイッチング制御（区間 ii）において、トランジスタ 15 H、15 L のそれぞれのチャネルの電圧スイッチングの過渡時間  $t_R/2$  だけずれている。これにより、区間 ii でトランジスタ 15 H、15 L の電圧が切り替わった後、間を置かずに区間 iii でトランジスタ 14 H、14 L の電圧が切り替わる。さらに、上記の通り、区間 ii と iii の電圧の時間変化率  $dv/dt$  は  $V_{DC}/t_R$  で互いに等しい。この結果、図 4 (C 1) のように、時刻  $t_R/2$  で滑らかに接続された電圧波形が得られる（3 レベル／疑似 2 レベル制御）。

[0050] 時刻  $t_R$  から  $d T_{SW}$  までの区間 iv では、区間 iii 終了時の状態がそのまま維持され、パルス幅変調に基づく所望幅の電圧パルスが形成される。区間 iv では、トランジスタ 15 H、14 H がオン状態、トランジスタ 14 L、15 L がオフ状態である。高電位入力端子 11 が出力端子 13 と導通しているため、出力端子 13 の電圧は  $V_{DC}$  である。低電位入力端子 12 と出力端子 13 の間の電圧  $V_{DC}$  は、トランジスタ 14 L、15 L で均等に分圧されるため、各

トランジスタの電圧は $V_{DC}/2$ である。オン状態のトランジスタ15H、14Hの電圧は0Vであり、電流 $i_U$ が流れる。

[0051] 時刻 $d T_{SW}$ から $d T_{SW} + t_F/2$ までの区間vでは、トランジスタ15H、15Lのオンオフ状態が相補的に切り替わる。すなわち、トランジスタ15Hはオン状態からオフ状態に切り替わり、トランジスタ15Lはオフ状態からオン状態に切り替わる。区間iiと同様に、これも本発明の第2のスイッチング制御に相当する。このとき、図6に示されるように、トランジスタ15Lがオン状態に切り替わるにつれて、出力端子13からの電流がオン状態のトランジスタ14Hを流れ、接続経路18のキャパシタ181とトランジスタ15Lを経由して高電位入力端子11を流れる。図4(C2)のトランジスタ15H、15Lの電圧と電流を見ると、電圧の時間変化率 $dv/dt$ は $(V_{DC}/2) / (t_F/2) = V_{DC}/t_F$ であり、電流の時間変化率 $di/dt$ は無限大である。すなわち、電圧は $d T_{SW} \sim d T_{SW} + t_F/2$ の区間vに亘って線形に変化する一方、電流は区間vの開始時刻 $d T_{SW}$ で瞬時に切り替わる。

[0052] 時刻 $d T_{SW} + t_F/2$ から $d T_{SW} + t_F$ までの区間viでは、トランジスタ14H、14Lのオンオフ状態が相補的に切り替わる。すなわち、トランジスタ14Hはオン状態からオフ状態に切り替わり、トランジスタ14Lはオフ状態からオン状態に切り替わる。区間iiiと同様に、これも本発明の第1のスイッチング制御に相当する。このとき、図6に示されるように、トランジスタ14Lがオン状態に切り替わるにつれて、出力端子13からの電流がトランジスタ14Lとオン状態のトランジスタ15Lを経由して低電位入力端子12を流れる。図4(C2)のトランジスタ14H、14Lの電圧と電流を見ると、電圧の時間変化率 $dv/dt$ は $(V_{DC}/2) / (t_F/2) = V_{DC}/t_F$ であり、電流の時間変化率 $di/dt$ は無限大である。すなわち、電圧は $d T_{SW} + t_F/2 \sim d T_{SW} + t_F$ の区間viに亘って線形に変化する一方、電流は区間viの開始時刻 $d T_{SW} + t_F/2$ で瞬時に切り替わる。

[0053] 以上のように、区間vではトランジスタ15H、15Lのオンオフ状態が相補的に切り替わる第2のスイッチング制御が行われ、それに続く区間viでは

トランジスタ 14 H、14 L のオンオフ状態が相補的に切り替わる第 1 のスイッチング制御が行われる。すなわち、上述の区間 ii, iii と同様に、第 2 のスイッチング制御は第 1 のスイッチング制御より前に行われる。また、第 2 のスイッチング制御と第 1 のスイッチング制御のタイミングは、第 2 のスイッチング制御（区間 v）において、トランジスタ 15 H、15 L のそれぞれのチャネルの電圧スイッチングの過渡時間  $t_F/2$  だけずれている。これにより、区間 v でトランジスタ 15 H、15 L の電圧が切り替わった後、間を置かずに区間 vi でトランジスタ 14 H、14 L の電圧が切り替わる。さらに、上記の通り、区間 v と vi の電圧の時間変化率  $dv/dt$  は  $V_{DC}/t_F$  で互いに等しい。この結果、図 4 (C 1) のように、時刻  $d T_{sw} + t_F/2$  で滑らかに接続された電圧波形が得られる。つまり、電圧パルスの立上り側だけでなく立下り側でも、前述の「3 レベル／疑似 2 レベル制御」が実現される。

[0054] 図 4 (C 3) は、インバータ 10 のスイッチング損失を示す。スイッチング損失は、インバータ 10 の一回のスイッチング動作を通じて、各トランジスタ 15 H、14 H、14 L、15 L で消費される電力の総和である。電力が消費されるのは、図 4 (C 2) に示される各トランジスタ 15 H、14 H、14 L、15 L の電圧と電流が共にゼロでない場合である。具体的には、区間 ii でトランジスタ 15 L が、区間 iii でトランジスタ 14 L が、区間 v でトランジスタ 15 L が、区間 vi でトランジスタ 14 L が電力を消費する。図 4 (C 3) に示されるように、四つの区間 ii, iii, v, vi で消費される電力は、それぞれ高さが  $V_{DC} \times (-i_U)/2$  の直角三角形の面積で表される。各直角三角形の底辺の長さは、区間 ii, iii で  $t_R/2$  であり、区間 v, vi で  $t_F/2$  である。したがって、これらの四つの直角三角形の面積の総和であるスイッチング損失は  $t_R \times V_{DC} \times (-i_U)/4 + t_F \times V_{DC} \times (-i_U)/4$  で表される。ここで、各トランジスタ 15 L、14 L で消費される電力が直角三角形の面積で表されるのは、各区間 ii, iii, v, vi における電流の時間変化率  $di/dt$  が無限大であり、電流が時間軸に垂直な方向に瞬時に変化するためである。

- [0055] 以上で説明したインバータ10において、接続経路18に設けられたキャパシタ181は、高電位側のトランジスタの接続部分18Hと低電位側のトランジスタの接続部分18Lの間の電圧を中間電圧 $V_{DC}/2$ 付近に維持することで、動作を安定化する。すなわち、キャパシタ181は、高電位側の接続部分18Hと低電位側の接続部分18Lの間の電圧の変動を抑制する電圧変動抑制素子として機能する。図7(B4)および(C4)に、キャパシタ181の電流と電圧を示す。本図の(B2)(B3)(C2)(C3)は、図4と同じものを参考に示す。
- [0056] 電流 $i_U$ が正の場合の図7(B4)において、キャパシタ181には区間iiとviで電流が流れる。図5に示されるように、区間iiでは高電位側の接続部分18Hから低電位側の接続部分18Lに向かう方向に電流が流れてキャパシタ181は電荷を蓄積し、区間viでは低電位側の接続部分18Lから高電位側の接続部分18Hに向かう方向に電流が流れてキャパシタ181は電荷を放出する。キャパシタ181の電極間電圧は、中間電圧 $V_{DC}/2$ を中心として、電荷蓄積状態と電荷放出状態の間で振動的に微小変化する。理想的な状況では、区間ii, viでキャパシタ181を流れる電流の大きさと、流れる時間 $t_R/2$ 、 $t_F/2$ がそれぞれ等しく、インバータ10の一回のスイッチング動作を通じて、キャパシタ181の電荷は増減しない。
- [0057] 電流 $i_U$ が負の場合の図7(C4)において、キャパシタ181には区間iiiとvで電流が流れる。図6に示されるように、区間iiiでは低電位側の接続部分18Lから高電位側の接続部分18Hに向かう方向に電流が流れてキャパシタ181は電荷を放出し、区間vでは高電位側の接続部分18Hから低電位側の接続部分18Lに向かう方向に電流が流れてキャパシタ181は電荷を蓄積する。キャパシタ181の電極間電圧は、中間電圧 $V_{DC}/2$ を中心として、電荷蓄積状態と電荷放出状態の間で振動的に微小変化する。理想的な状況では、区間iii, vでキャパシタ181を流れる電流の大きさと、流れる時間 $t_R/2$ 、 $t_F/2$ がそれぞれ等しく、インバータ10の一回のスイッチング動作を通じて、キャパシタ181の電荷は増減しない。

[0058] 図8は、インバータ10の一回のスイッチング動作を通じてキャパシタ181の電荷の増減がある例を示す。本図の(B1)～(B4)および(C1)～(C4)は、図4および図7と対応する。

[0059] 電流 $i_U$ が正の場合のインバータ10の出力を表す図7(B1)、および、電流 $i_U$ が負の場合のインバータ10の出力を表す図7(C1)において、電圧パルス波形は図4の台形状から歪んでいる。各トランジスタの電圧と電流を示す図7(B2)および(C2)に示されるように、第2のスイッチング制御に要する過渡時間 $t_a = t_{aR} = t_{aF}$ と、第1のスイッチング制御に要する過渡時間 $t_b = t_{bR} = t_{bF}$ が異なるのが原因である。本図は $t_a$ が $t_b$ より大きい場合を示すが、 $t_a$ が $t_b$ より小さい場合も電圧パルス波形は台形状から歪む。

[0060] 電流 $i_U$ が正の場合の図7(B4)では、キャパシタ181が電荷を蓄積する時間 $t_{aR}$ が、キャパシタ181が電荷を放出する時間 $t_{bF}$ より長いため、インバータ10の一回のスイッチング動作を通じてキャパシタ181は電荷を過剰に蓄積する。電流 $i_U$ が負の場合の図7(C4)では、キャパシタ181が電荷を蓄積する時間 $t_{aF}$ が、キャパシタ181が電荷を放出する時間 $t_{bR}$ より長いため、インバータ10の一回のスイッチング動作を通じてキャパシタ181は電荷を過剰に蓄積する。いずれの場合も、インバータ10の一回のスイッチング動作を通じて、キャパシタ181の電極間電圧が正方向にシフトしてしまい、インバータ10の安定動作に支障が生じる。なお、図示はしないが、本図とは逆に $t_a$ が $t_b$ より小さい場合は、インバータ10の一回のスイッチング動作を通じて、キャパシタ181は電荷を過剰に放出するため、キャパシタ181の電極間電圧が負方向にシフトしてしまい、インバータ10の安定動作に支障が生じる。

[0061] 図9は、以上のようなスイッチング時間の不均衡を補正する補正装置40の二つの構成例を示す。これらの補正装置40は、キャパシタ181の中心電圧が目標電圧である中間電圧 $V_{DC}/2$ になるように、第1の電圧スイッチングの過渡時間 $t_b = t_{bR} = t_{bF}$ および第2の電圧スイッチングの過渡時間 $t$

$t_a = t_{aR} = t_{aF}$ を制御する。図2のコントローラ100は、これらの過渡時間  $t_a$  および  $t_b$  に応じて、図3の各ドライバ30への入力電圧  $v_{GS}$  を制御する。

[0062] 図9(A)の第1の構成例に係る補正装置40において、目標電圧提供部41は、キャパシタ181の目標電圧  $V_{DC}/2$  を提供する。電圧誤差算出部42は、キャパシタ181の測定電圧  $v_c$  の目標電圧  $V_{DC}/2$  からの誤差を算出する。第1の構成例では、キャパシタ181の電圧  $v_c$  を常時測定し、その高周波成分をローパスフィルタ421で除去したものを電圧誤差算出部42に供給する。電圧誤差算出部42が算出した電圧誤差は電圧コントローラ431に供給され、キャパシタ181の電荷補正量に変換される。除算器432は、絶対値演算部433から得られる出力電流  $i_U$  の絶対値で電荷補正量を除算し、時間補正量に変換する。規制部434は、この時間補正量の絶対値が過大にならないように所定の上限値に基づくキャップ処理を行い、最終的な時間補正量  $\delta t$  とする。

[0063] スイッチング時間補正部44は、電圧誤差算出部42が算出した電圧誤差に基づき、第1の電圧スイッチングの過渡時間  $t_b$  および第2の電圧スイッチングの過渡時間  $t_a$  の少なくともいずれかを補正する。本構成例では、第1の過渡時間  $t_b$  の補正值を算出する第1の補正部441と、第2の過渡時間  $t_a$  の補正值を算出する第2の補正部442が設けられる。第1の補正部441は、インバータ10の立上り時間/立下り時間  $t_{RF}$  ( $= t_R = t_F$ ) から時間補正量  $\delta t$  を減算した上で  $1/2$  を乗算し、第1の過渡時間  $t_b$  の補正值とする。すなわち  $t_b = (t_{RF} - \delta t) / 2$  である。第2の補正部442は、インバータ10の立上り時間/立下り時間  $t_{RF}$  ( $= t_R = t_F$ ) に時間補正量  $\delta t$  を加算した上で  $1/2$  を乗算し、第2の過渡時間  $t_a$  の補正值とする。すなわち  $t_a = (t_{RF} + \delta t) / 2$  である。このとき、第1の過渡時間  $t_b$  と第2の過渡時間  $t_a$  の和は、インバータ10の立上り時間/立下り時間  $t_{RF}$  に等しい。したがって、スイッチング時間補正部44は、 $t_{RF}$  を第1の過渡時間  $t_b$  と第2の過渡時間  $t_a$  に配分する際に、キャパシタ181が目標電圧  $V_{DC}/2$  と



なる最適な配分割合を時間補正量  $\delta t$  によって指定するものといえる。

[0064] 図9(B)の第2の構成例に係る補正装置40では、サンプル/ホールド回路422が、トリガー信号に基づいて取得したキャパシタ181の電圧 $v_c$ を電圧誤差算出部42に供給する。電圧誤差算出部42が算出した電圧誤差は、キャパシタ181の容量値Cが乗算され、キャパシタ181の電荷補正量に変換される。その他は、図9(A)の第1の構成例と同じである。

[0065] 以上、本発明を実施形態に基づいて説明した。実施形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0066] 実施形態では、入力された直流電力に基づいて交流電力を出力するインバータ10について説明したが、これとは逆に、入力された交流電力に基づいて直流電力を出力するコンバータにも本発明を適用できる。図2のインバータ10の構成において、出力端子13だったものを交流電力が入力される入力端子とし、高電位入力端子11および低電位入力端子12だったものを、それぞれ、直流電力を出力する高電位出力端子および低電位出力端子とすることで、コンバータの基本的な構成が実現される。

[0067] 実施形態では、図2および図4を参照して、インバータ10の「3レベル/疑似2レベル制御」について説明した。すなわち、 $0V$ 、 $V_{DC}/2$ 、 $V_{DC}$ の3レベルの電圧を出力可能な2個のトランジスタ対14、15を用いて、図4(B1)および(C1)に示される $0V$ 、 $V_{DC}$ の2レベルの電圧パルスが擬似的に形成された。本発明によれば、 $N$ を2以上の任意の自然数とし、 $M$ を2以上かつ $N-1$ 以下の任意の自然数として、 $N$ レベル/疑似 $M$ レベル制御を実現できる。 $N=2$ の2レベル制御は1個のトランジスタ対で実現できる。 $N=4$ の4レベル制御は3個のトランジスタ対で実現できる。このように、 $N$ レベル制御は $N-1$ 個のトランジスタ対で実現できる。この場合、3レベル制御の例を示す図4と同様に、出力端子13から遠いトランジスタ対から順にスイッチング制御を行うことで $N$ レベルの電圧を出力できる。こ

のようなNレベルの電圧に基づいて擬似的にMレベルの電圧パルスを形成するためには、図4に関して説明したように、隣接するトランジスタ対のスイッチング制御を連続的に行い、電圧パルスを滑らかに接続すればよい。

[0068] より具体的な構成は以下の通りである。n (=N-1) を2以上の整数として、出力端子13から高電位入力端子11に向かって直列に接続された第1~nの高電位トランジスタ、および、出力端子13から低電位入力端子12に向かって直列に接続された第1~nの低電位トランジスタによって第1~nのトランジスタ対を構成する。第1~nのトランジスタ対に対してスイッチング制御を行う第1~nのドライバを設ける。隣接するトランジスタ対の高電位側の接続部分と低電位側の接続部分を相互に接続する第1~n-1の接続経路を設ける。第1~n-1の接続経路において、高電位側の接続部分と低電位側の接続部分の間の電圧の変動を抑制する第1~n-1の電圧変動抑制素子を設ける。隣接するトランジスタ対のスイッチング制御を所定時間ずれたタイミングで行う。具体的には、各トランジスタ対のスイッチング制御のタイミングは、出力端子13から遠い側のトランジスタ対ほど早くする。特に、隣接するトランジスタ対のスイッチング制御のタイミングを、各トランジスタ対を構成する高電位トランジスタおよび低電位トランジスタのそれぞれの電流経路の電圧スイッチングの過渡時間だけずらすのが好ましい。

[0069] 実施形態では、電圧変動抑制素子としてのキャパシタ181を接続経路18に設けることで、その電極間電圧を $V_{DC}/2$ 付近に維持し、インバータ10の動作を安定化したが、キャパシタ181の代わりに電圧変動抑制素子としてダイオードを用いても同様の効果を得られる。図10にその構成例を示す。このインバータ10の接続経路18には、低電位側のトランジスタの接続部分18Lから高電位側のトランジスタの接続部分18Hに向かう方向に電流を流す二つのダイオード182L、182Hが直列して設けられる。この二つのダイオード182L、182Hの接続部分19は、高電位 $V_{dd}$ と低電位 $V_{ss}$ の中間電位 $(V_{dd}-V_{ss})/2=V_{DC}/2$ に接続される。

中間電位が定電位に接続されているため、ダイオード182L、182Hは、高電位側の接続部分18Hと低電位側の接続部分18Lの間の電圧の変動を抑制する電圧変動抑制素子として機能する。

[0070] 実施形態では、各トランジスタ対が一つの高電位トランジスタと一つの低電位トランジスタで構成される例を説明したが、各トランジスタ対を構成する高電位トランジスタと低電位トランジスタはそれぞれ複数でもよい。複数の高電位トランジスタと複数の低電位トランジスタで対を構成する技術の一例として、モジュラーマルチレベルコンバータ（MMC: Modular Multilevel Converter）が知られている。これは、同一構成のセルと呼ばれる回路素子群を高電位側と低電位側で対になるように設けるものである。各セルは直列接続および／または並列接続された複数のトランジスタを含む。これらのトランジスタのスイッチング制御において $di/dt$ が $dv/dt$ よりも大きくなるように調整することで、実施形態で説明したものと同等のスイッチング損失の低減等の効果が得られる。

[0071] なお、実施形態で説明した各装置の機能構成はハードウェア資源またはソフトウェア資源により、あるいはハードウェア資源とソフトウェア資源の協働により実現できる。ハードウェア資源としてプロセッサ、ROM、RAM、その他のLSIを利用できる。ソフトウェア資源としてオペレーティングシステム、アプリケーション等のプログラムを利用できる。

[0072] 本明細書で開示した実施形態のうち、複数の機能が分散して設けられているものは、当該複数の機能の一部又は全部を集約して設けても良く、逆に複数の機能が集約して設けられているものを、当該複数の機能の一部又は全部が分散するように設けることができる。機能が集約されているか分散されているかにかかわらず、発明の目的を達成できるように構成されていればよい。

### 産業上の利用可能性

[0073] 本発明はインバータやコンバータの制御技術に関する。

### 符号の説明

[0074] 1 モータ装置、10 インバータ、11 高電位入力端子、12 低電位入力端子、13 出力端子、14 第1のトランジスタ対、15 第2のトランジスタ対、16 第1のドライバ、17 第2のドライバ、18 接続経路、20 モータ、30 ドライバ、32 オペアンプ、33 ゲート抵抗、34 ミラーキャパシタ、35 キャパシタ、40 補正装置、41 目標電圧提供部、42 電圧誤差算出部、44 スイッチング時間補正部、181 キャパシタ、182 ダイオード。

## 請求の範囲

- [請求項1] 高電位の高電位入力端子と低電位の低電位入力端子を含み、両入力端子の間で直流電力が入力される入力端子と、  
交流電力を出力する出力端子と、  
前記高電位入力端子側と前記出力端子側を接続する電流経路を有する高電位トランジスタと、前記低電位入力端子側と前記出力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と、  
前記高電位トランジスタおよび前記低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで前記直流電力を前記交流電力に変換するスイッチング制御を行うドライバとを備え、  
前記ドライバは、前記各電流経路の電流を調整する電流調整素子および当該各電流経路の電圧を調整する電圧調整素子の少なくともいずれかを含み、  
前記電流調整素子および前記電圧調整素子の少なくともいずれかは、前記スイッチング制御において、前記各電流経路の電流の時間変化率が、前記各電流経路の電圧の時間変化率よりも大きくなるように調整する  
インバータ。
- [請求項2] 前記電流調整素子は、前記スイッチング制御において、前記各電流経路の電流の時間変化率が略無限大になるように調整する  
請求項1に記載のインバータ。
- [請求項3] 前記トランジスタ対は、 $n$ を2以上の整数として、前記出力端子から前記高電位入力端子に向かって直列に接続された第1～ $n$ の高電位トランジスタ、および、前記出力端子から前記低電位入力端子に向かって直列に接続された第1～ $n$ の低電位トランジスタによって構成される第1～ $n$ のトランジスタ対を含み、

前記ドライバは、前記第1～nのトランジスタ対に対して前記スイッチング制御を行う第1～nのドライバを含み、

隣接するトランジスタ対の高電位側の接続部分と低電位側の接続部分を相互に接続する第1～n-1の接続経路と、

前記各接続経路に設けられ、前記高電位側の接続部分と前記低電位側の接続部分の間の電圧の変動を抑制する第1～n-1の電圧変動抑制素子とを備え、

隣接するトランジスタ対の前記スイッチング制御は所定時間ずれたタイミングで行われる

請求項1または2に記載のインバータ。

[請求項4] 前記各トランジスタ対の前記スイッチング制御のタイミングは、前記出力端子から遠い側のトランジスタ対ほど早い

請求項3に記載のインバータ。

[請求項5] 前記所定時間は、前記スイッチング制御において、前記トランジスタ対を構成する前記高電位トランジスタおよび前記低電位トランジスタのそれぞれの電流経路の電圧スイッチングの過渡時間である

請求項3または4に記載のインバータ。

[請求項6] 前記電圧変動抑制素子はキャパシタである

請求項3から5のいずれかに記載のインバータ。

[請求項7] 前記キャパシタの目標電圧を提供する目標電圧提供部と、

前記キャパシタの測定電圧の前記目標電圧からの誤差を算出する電圧誤差算出部と、

前記誤差に基づき、前記隣接するトランジスタ対の少なくともいずれかを構成する前記高電位トランジスタおよび前記低電位トランジスタのそれぞれの電流経路の電圧スイッチングの過渡時間を補正するスイッチング時間補正部と

を備える請求項6に記載のインバータ。

[請求項8] 前記電圧変動抑制素子は、前記低電位側の接続部分から前記高電位

側の接続部分に向かう方向に電流を流す直列接続された二つのダイオードであり、

前記二つのダイオードの接続部分は、前記高電位と前記低電位の間電位に接続される

請求項3から5のいずれかに記載のインバータ。

[請求項9]

高電位の高電位出力端子と低電位の低電位出力端子を含み、両出力端子の間で直流電力を出力する出力端子と、

交流電力が入力される入力端子と、

前記高電位出力端子側と前記入力端子側を接続する電流経路を有する高電位トランジスタと、前記低電位出力端子側と前記入力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と、

前記高電位トランジスタおよび前記低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで前記交流電力を前記直流電力に変換するスイッチング制御を行うドライバとを備え、

前記ドライバは、前記各電流経路の電流を調整する電流調整素子および当該各電流経路の電圧を調整する電圧調整素子の少なくともいずれかを含み、

前記電流調整素子および前記電圧調整素子の少なくともいずれかは、前記スイッチング制御において、前記各電流経路の電流の時間変化率が、前記各電流経路の電圧の時間変化率よりも大きくなるように調整する

コンバータ。

[請求項10]

互いに位相が異なる多相の交流電力で駆動されるモータと、

前記各相の交流電力を生成する複数のインバータとを備え、

前記各インバータは、

高電位の高電位入力端子と低電位の低電位入力端子を含み、両入力

端子の間で直流電力が入力される入力端子と、

前記交流電力を出力する出力端子と、

前記高電位入力端子側と前記出力端子側を接続する電流経路を有する高電位トランジスタと、前記低電位入力端子側と前記出力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と、

前記高電位トランジスタおよび前記低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで前記直流電力を前記交流電力に変換するスイッチング制御を行うドライバとを備え、

前記ドライバは、前記各電流経路の電流を調整する電流調整素子および当該各電流経路の電圧を調整する電圧調整素子の少なくともいずれかを含み、

前記電流調整素子および前記電圧調整素子の少なくともいずれかは、前記スイッチング制御において、前記各電流経路の電流の時間変化率が、前記各電流経路の電圧の時間変化率よりも大きくなるように調整する

駆動装置。

[請求項11]

高電位の高電位入力端子と低電位の低電位入力端子を含み、両入力端子の間で直流電力が入力される入力端子と、

交流電力を出力する出力端子と、

前記高電位入力端子側と前記出力端子側を接続する電流経路を有する高電位トランジスタと、前記低電位入力端子側と前記出力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と

を備えるインバータの制御方法であって、

前記高電位トランジスタおよび前記低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的



に切り替えることで前記直流電力を前記交流電力に変換するスイッチング制御ステップを備え、

前記スイッチング制御において、前記各電流経路の電流の時間変化率が、前記各電流経路の電圧の時間変化率よりも大きくなるように調整する

インバータの制御方法。

[請求項12]

高電位の高電位入力端子と低電位の低電位入力端子を含み、両入力端子の間で直流電力が入力される入力端子と、

交流電力を出力する出力端子と、

前記高電位入力端子側と前記出力端子側を接続する電流経路を有する高電位トランジスタと、前記低電位入力端子側と前記出力端子側を接続する電流経路を有する低電位トランジスタを備えるトランジスタ対と

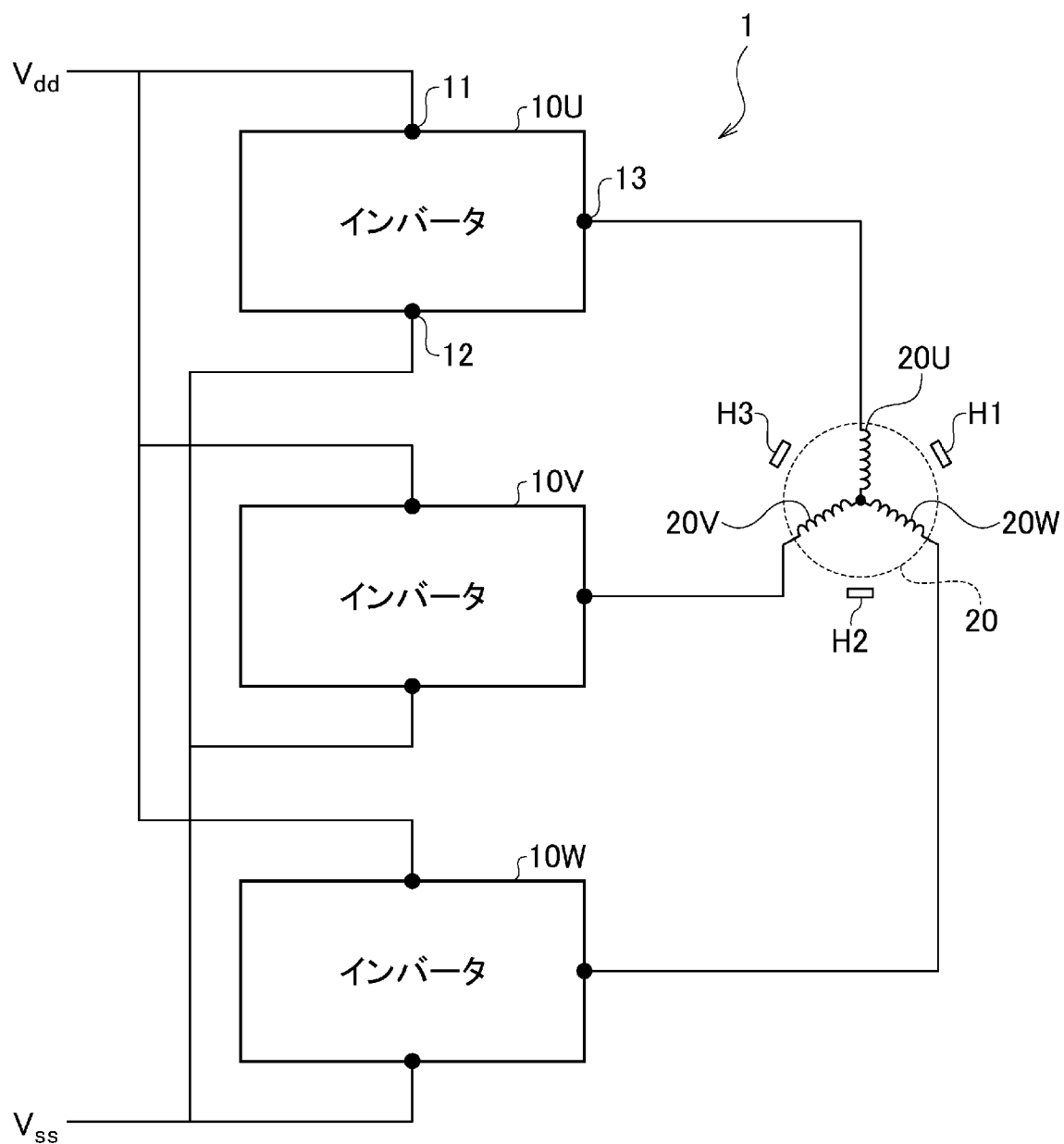
を備えるインバータの制御プログラムであって、

前記高電位トランジスタおよび前記低電位トランジスタのそれぞれに制御信号を入力し、それぞれの電流経路の導通状態を互いに相補的に切り替えることで前記直流電力を前記交流電力に変換するスイッチング制御ステップをコンピュータに実行させ、

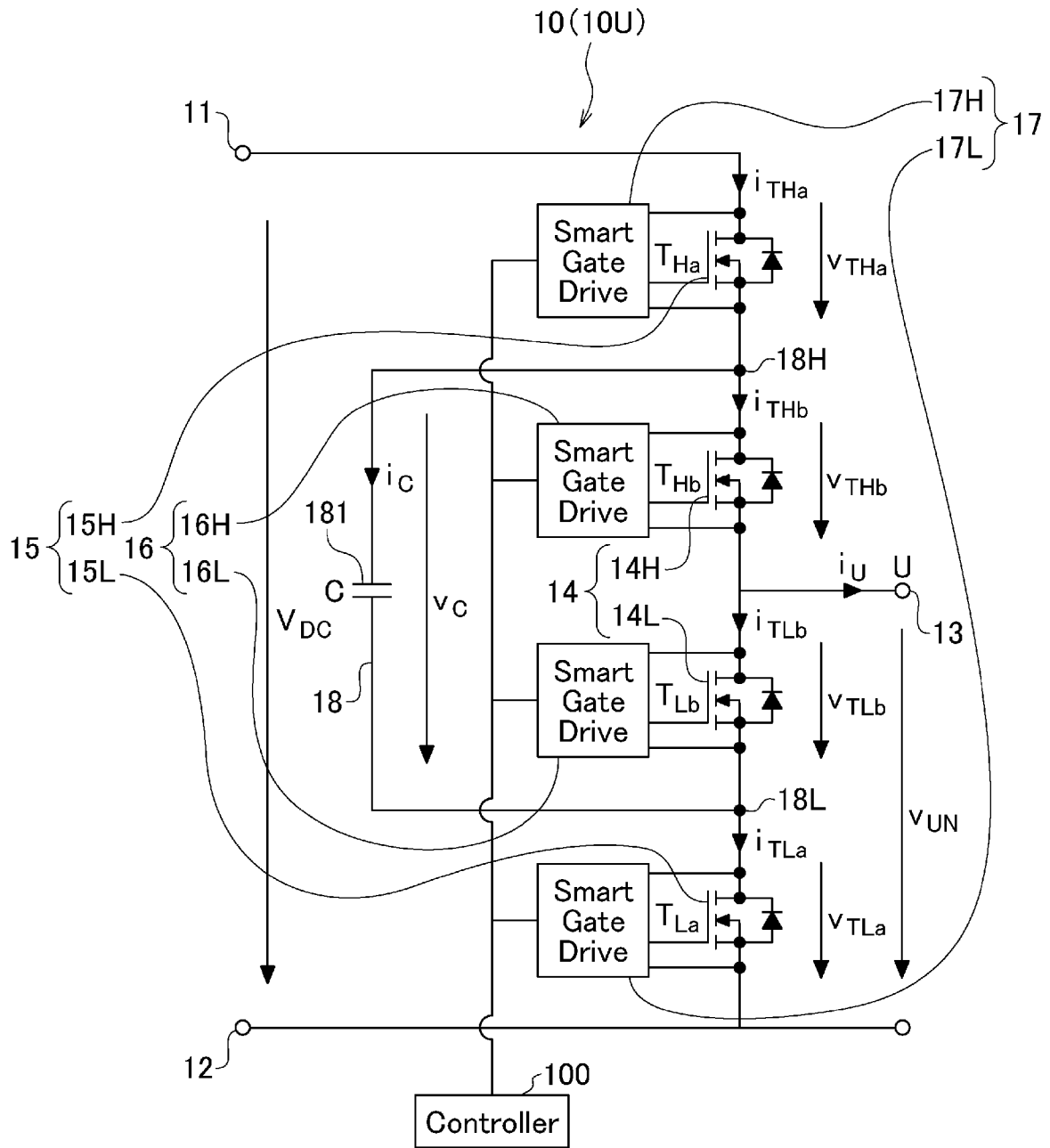
前記スイッチング制御において、前記各電流経路の電流の時間変化率が、前記各電流経路の電圧の時間変化率よりも大きくなるように調整する

インバータの制御プログラム。

[図1]

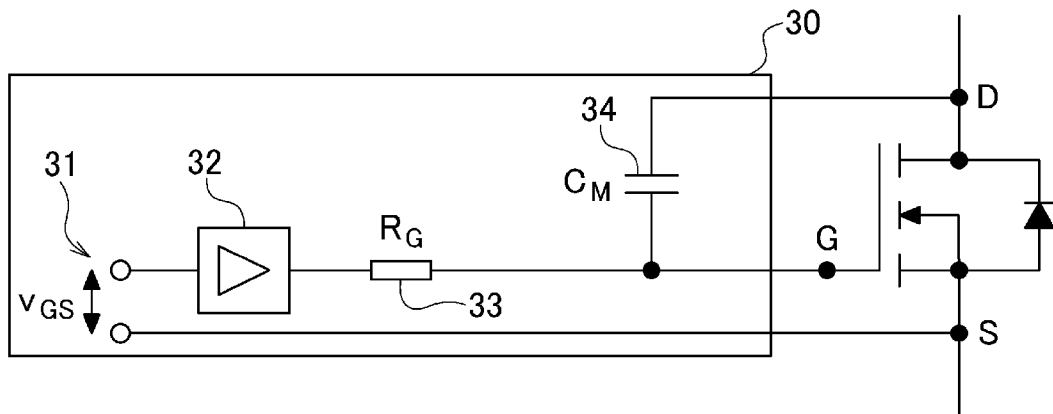


[図2]

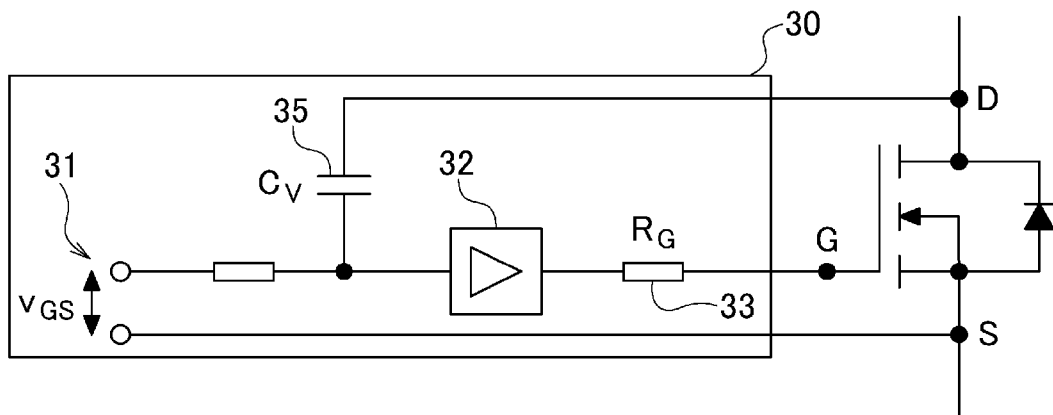


[図3]

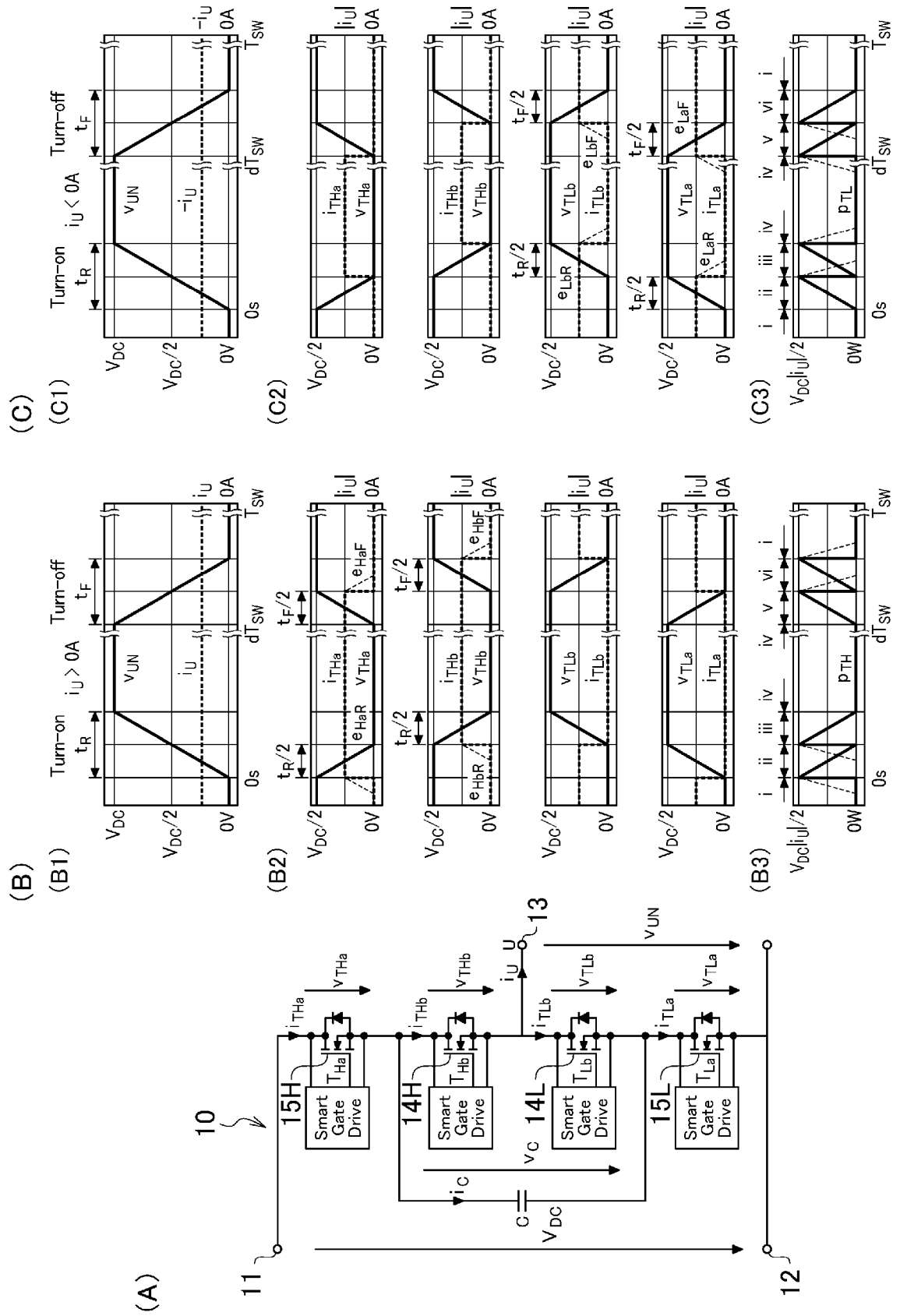
(A)



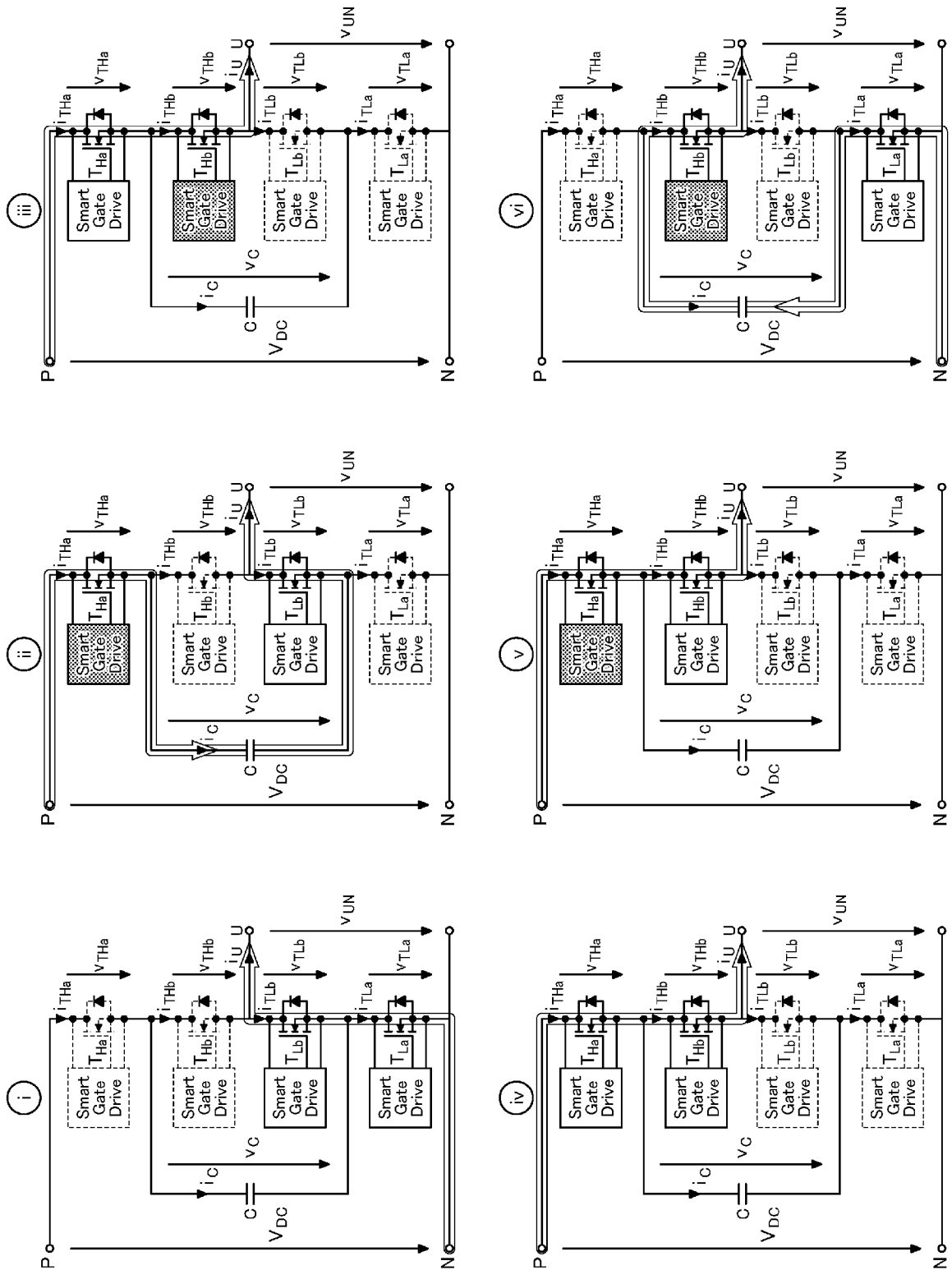
(B)



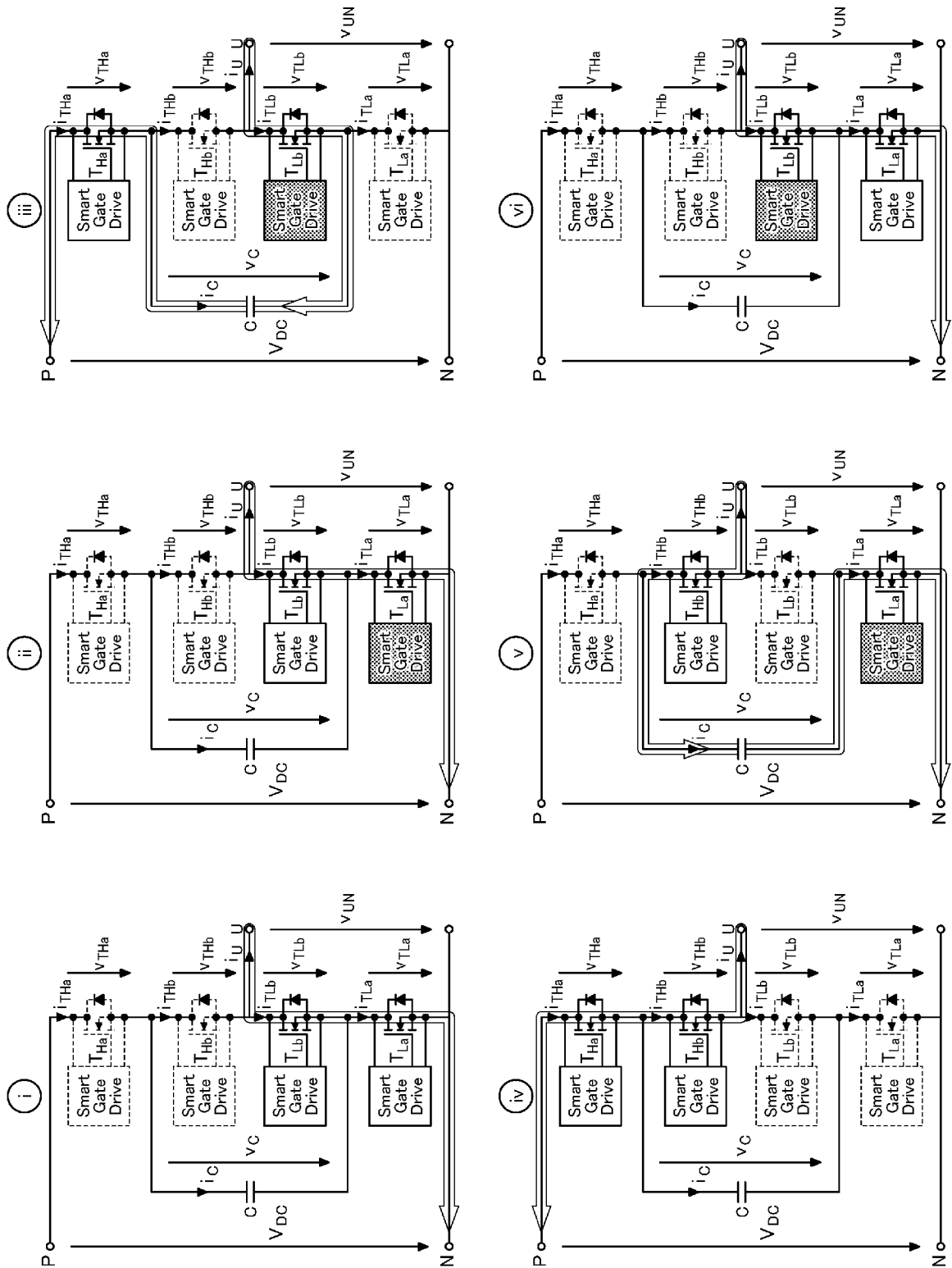
[図4]



[図5]

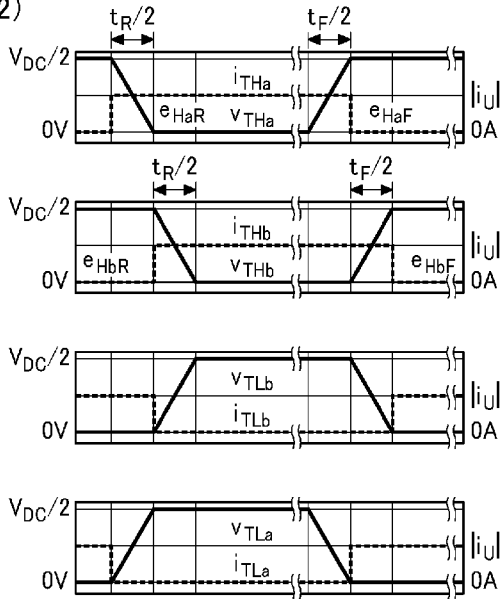


[図6]

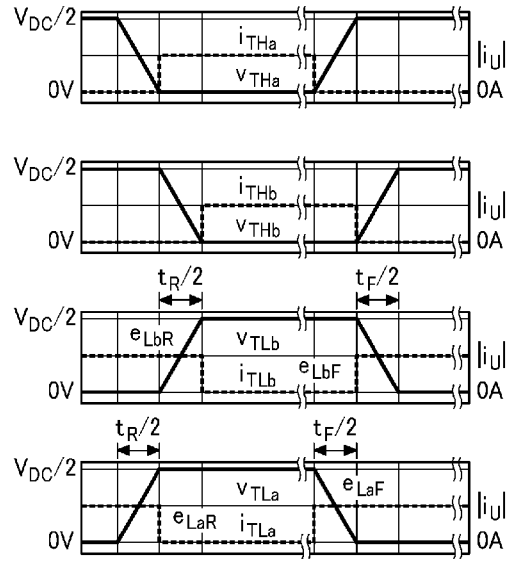


[図7]

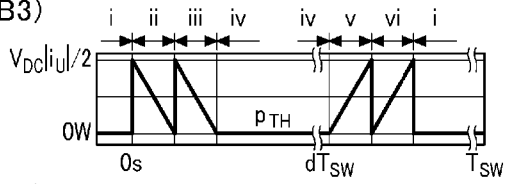
(B2)



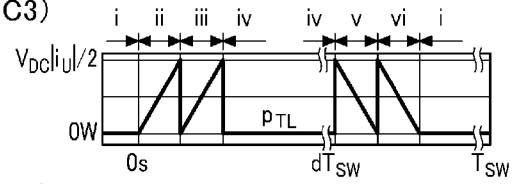
(C2)



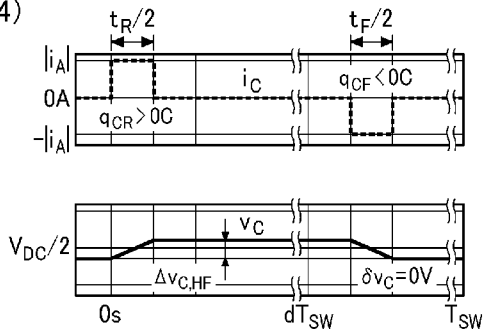
(B3)



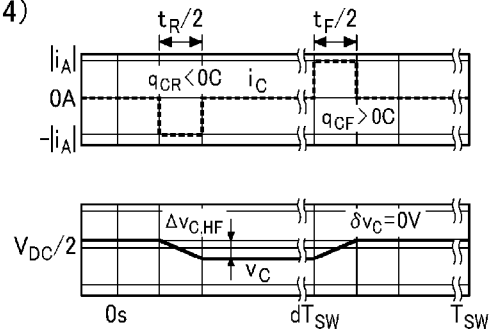
(C3)



(B4)

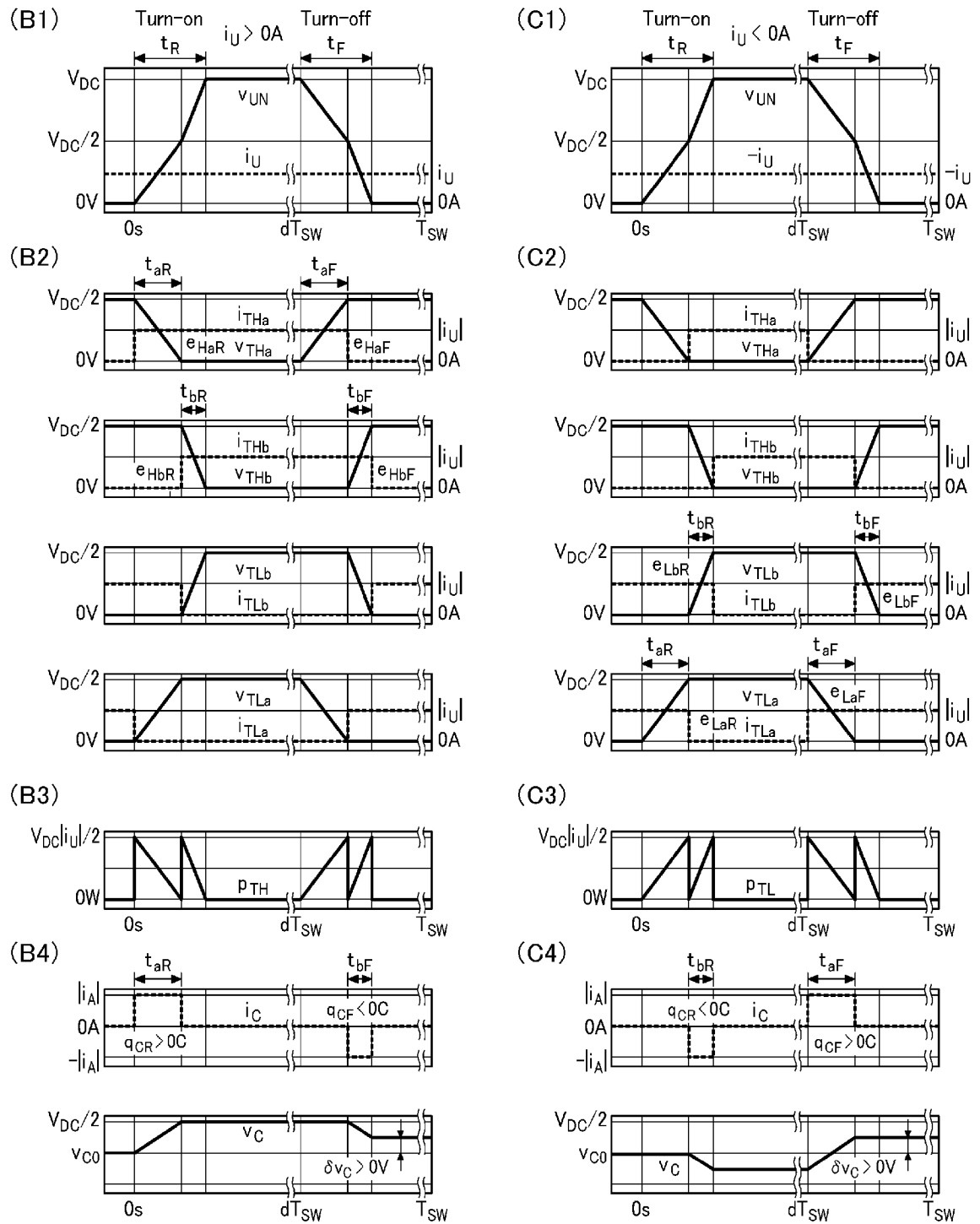


(C4)

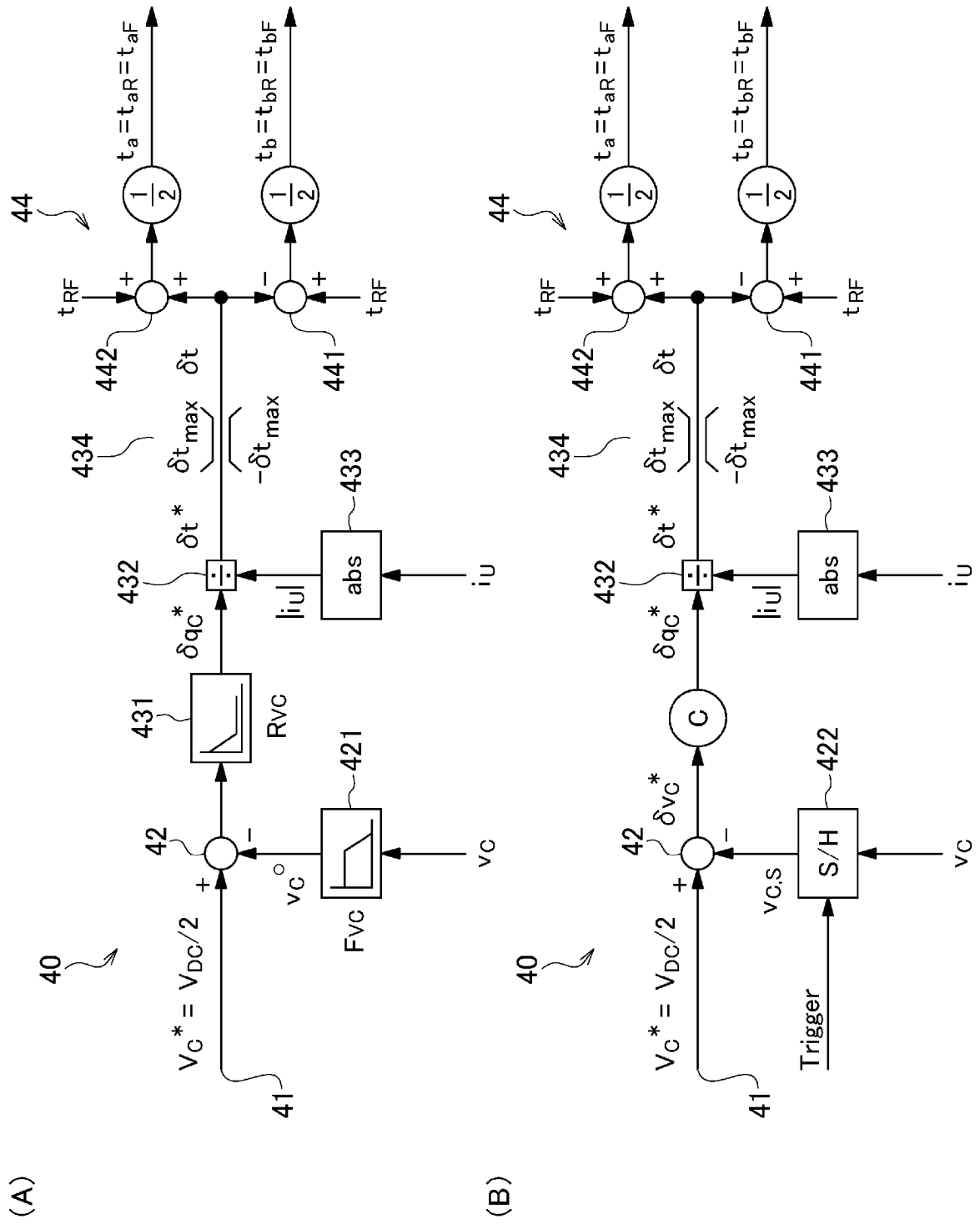




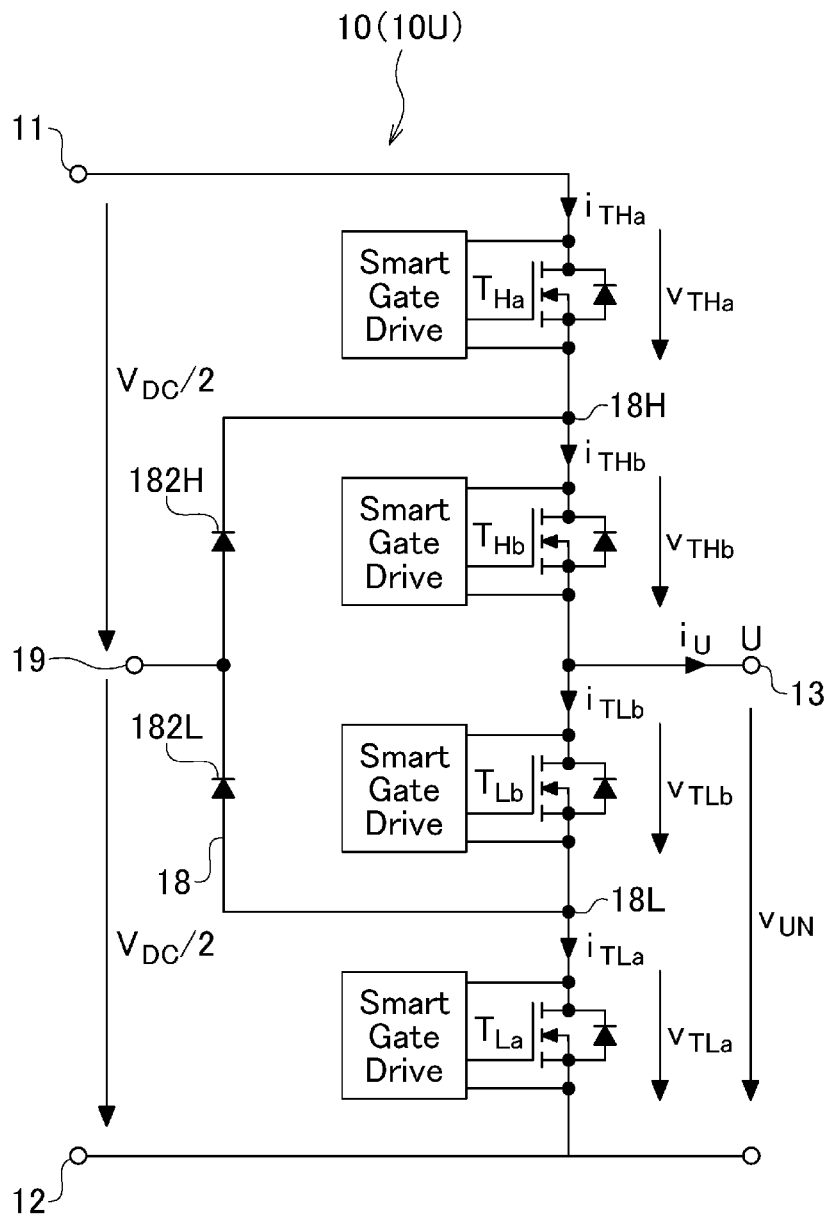
[図8]



[図9]



[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2022/001972****A. CLASSIFICATION OF SUBJECT MATTER****H02M 1/08**(2006.01)i

FI: H02M1/08 A

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08, 3/00, 7/48, H03K17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2022  
 Registered utility model specifications of Japan 1996-2022  
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2018/0062510 A1 (TEXAS INSTRUMENTS INCORPORATED) 01 March 2018 (2018-03-01) paragraphs [0021]-[0057], fig. 1-11	1, 2, 9-12
A	paragraphs [0021]-[0057], fig. 1-11	3-8
A	JP 2012-147671 A (MITSUBISHI ELECTRIC CORPORATION) 02 August 2012 (2012-08-02) entire text, all drawings	1-12
A	JP 2013-240162 A (TOYOTA MOTOR CORPORATION) 28 November 2013 (2013-11-28) entire text, all drawings	1-12

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

**06 April 2022**

Date of mailing of the international search report

**19 April 2022**

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)**  
**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915**  
**Japan**

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/001972**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2018/0062510	A1	01 March 2018	US	9716430 B1	
.....						
JP	2012-147671	A	02 August 2012	(Family: none)		
.....						
JP	2013-240162	A	28 November 2013	(Family: none)		
.....						

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/08(2006.01)i FI: H02M1/08 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M1/08, 3/00, 7/48, H03K17/00 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2018/0062510 A1 (TEXAS INSTRUMENTS INCORPORATED.) 01.03.2018 (2018-03-01) 段落21-57, 図1-11	1, 2, 9-12
A	段落21-57, 図1-11	3-8
A	JP 2012-147671 A (三菱電機株式会社) 02.08.2012 (2012-08-02) 全文, 全図	1-12
A	JP 2013-240162 A (トヨタ自動車株式会社) 28.11.2013 (2013-11-28) 全文, 全図	1-12
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 06.04.2022	国際調査報告の発送日 19.04.2022	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 匡 5G 9650 電話番号 03-3581-1101 内線 3526	

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/001972

引用文献	公表日	パテントファミリー文献	公表日
US 2018/0062510 A1	01.03.2018	US 9716430 B1	
JP 2012-147671 A	02.08.2012	(ファミリーなし)	
JP 2013-240162 A	28.11.2013	(ファミリーなし)	