

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月16日(16.04.2020)



(10) 国際公開番号

WO 2020/075867 A1

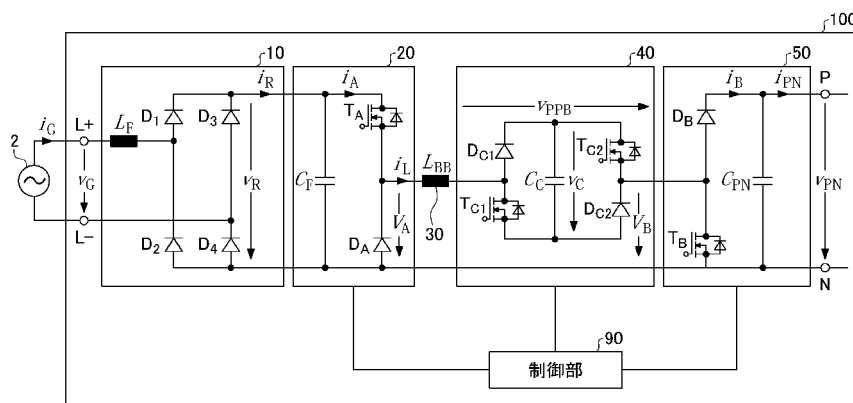
- (51) 国際特許分類:
H02M 3/155 (2006.01) H02M 7/12 (2006.01)
H02M 5/293 (2006.01)
- (21) 国際出願番号: PCT/JP2019/040434
- (22) 国際出願日: 2019年10月15日(15.10.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-193799 2018年10月12日(12.10.2018) JP
特願 2018-204658 2018年10月31日(31.10.2018) JP
特願 2019-070746 2019年4月2日(02.04.2019) JP
- (71) 出願人: ナブテスコ株式会社 (NABTESCO CORPORATION) [JP/JP]; 〒1020093 東京都千代田区平河町二丁目7番9号 Tokyo (JP).
- (72) 発明者: 大野 泰生 (ONO Yasuo); 〒1020093 東京都千代田区平河町二丁目7番9号 ナブテ

スコ株式会社内 Tokyo (JP). ハイダー ミハヤエル (HAIDER Michael); 8092 チューリッヒ、フュズィークシュトラッセ、3、エーテーエル、ハー22、エーテーハー、チューリッヒ、パワー、エレクトロニック、システムズ、ラボラトリー内 Zurich (CH). ボルティス ドミニク (BORTIS Dominik); 8092 チューリッヒ、フュズィークシュトラッセ、3、エーテーエル、ハー22、エーテーハー、チューリッヒ、パワー、エレクトロニック、システムズ、ラボラトリー内 Zurich (CH). コラーヨハン ベー (KOLAR Johann Walter); 8092 チューリッヒ、フュズィークシュトラッセ、3、エーテーエル、ハー22、エーテーハー、チューリッヒ、パワー、エレクトロニック、システムズ、ラボラトリー内 Zurich (CH).

(74) 代理人: 森下 賢樹 (MORISHITA Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).

(54) Title: AC-DC CONVERTER, DC-DC CONVERTER, AND AC-AC CONVERTER

(54) 発明の名称: AC-DCコンバータ、DC-DCコンバータおよびAC-ACコンバータ



90 Control unit

(57) Abstract: The purpose of the present invention is to realize an electrolytic capacitor-free AC-DC converter of a small-capacity DC link capacitor. This AC-DC converter 100 includes: a rectifier circuit 10 that rectifies an AC voltage and generates a rectified voltage; a step-down circuit 20 that steps down the rectified voltage; an inductor 30; a buffer circuit 40 that generates a DC voltage from the rectified voltage and includes an asymmetrical full bridge circuit obtained by combining, with a capacitor interposed therebetween, a front-stage half bridge composed of a first diode and a first switch and a rear-stage half bridge composed of a second diode and a second switch; and a step-up circuit 50 that steps up the voltage of the buffer circuit 40.



WO 2020/075867 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 小容量DCリンクキャパシタの電解コンデンサレスAC-DCコンバータを実現することを目的とする。AC-DCコンバータ100は、AC電圧を整流して整流電圧を生成する整流回路10と、整流電圧を降圧する降圧回路20と、インダクタ30と、第1ダイオードおよび第1スイッチを含んで構成される前段側ハーフブリッジと第2ダイオードおよび第2スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え整流電圧からDC電圧を生成するバッファ回路40と、バッファ回路40の電圧を昇圧する昇圧回路50とを備える。

明 細 書

発明の名称：

AC-DCコンバータ、DC-DCコンバータおよびAC-ACコンバータ

技術分野

[0001] 本発明は、電力を変換するAC-DCコンバータ、DC-DCコンバータおよびAC-ACコンバータに関する。

背景技術

[0002] 単相AC電源からの電力をDC電力に変換するAC-DCコンバータとして、整流回路と、平滑コンデンサとを備えるものが開示されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-067199

発明の概要

発明が解決しようとする課題

[0004] 家電機器や産業機器では、通常単相AC電源からの電力をAC-DCコンバータでDC電力に変換し、これをインバータで三相AC電力に変換することでモータ制御を行う。このようなAC-DCコンバータは、通常AC電源からの電力をDC電力に変換する整流回路を含んで構成される。しかしながら、単相AC-DC電力変換を行うと、必然的に入力電力と出力電力との間に差が生じるため、電力に脈動が発生する。この脈動を吸収し補償するためにはバッファが必要である。従来このバッファは、大容量のDCリンクキャパシタで構成されることが一般的であった。この場合、DCリンクキャパシタに要求される静電容量は非常に大きいものとなる。例えば動作周波数がkW、電源電圧が100Vの場合、DCリンクキャパシタ容量はmFのオーダー

となる。これを実現するためには、大容量の電解コンデンサを用いる必要がある。しかしながら電解コンデンサはサイズが大きく寿命が短いため、サイズ、コストおよび装置寿命などの点で大きなデメリットとなる。従って、DCリンクキャパシタに電解コンデンサが不要なAC-DCコンバータが求められる。

[0005] 本発明は、こうした課題に鑑みてなされたものであり、その目的は、小容量DCリンクキャパシタの電解コンデンサレスAC-DCコンバータを実現することにある。

課題を解決するための手段

[0006] 上記課題を解決するために、本発明のある態様のAC-DCコンバータは、AC電圧を整流して整流電圧を生成する整流回路と、整流電圧を降圧する降圧回路と、インダクタと、第1ダイオードおよび第1スイッチを含んで構成される前段側ハーフブリッジと第2ダイオードおよび第2スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え整流電圧からDC電圧を生成するバッファ回路と、バッファ回路の電圧を昇圧する昇圧回路とを備える。

[0007] 本発明の別の態様もまた、AC-DCコンバータである。このAC-DCコンバータは、AC電圧を整流して整流電圧を生成する整流回路と、整流電圧を降圧する降圧回路と、インダクタと、第1スイッチおよび第3スイッチを含んで構成される前段側ハーフブリッジと第2スイッチおよび第4スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え整流電圧からDC電圧を生成するバッファ回路と、バッファ回路の電圧を昇圧する昇圧回路とを備える。

[0008] 本発明のさらに別の態様は、DC-DCコンバータである。このDC-DCコンバータは、第1のDC電圧を降圧する降圧回路と、インダクタと、第1ダイオードおよび第1スイッチを含んで構成される前段側ハーフブリッジと第2ダイオードおよび第2スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を

備え第1のDC電圧から第2のDC電圧を生成するバッファ回路と、バッファ回路の電圧を昇圧する昇圧回路とを備える。

[0009] 本発明のさらに別の態様は、AC-ACコンバータである。このAC-ACコンバータは、第1のAC電圧を整流して整流電圧を生成する整流回路と、整流電圧を降圧する降圧回路と、インダクタと、第1ダイオードおよび第1スイッチを含んで構成される前段側ハーフブリッジと第2ダイオードおよび第2スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え第1のAC電圧からDC電圧を生成するバッファ回路と、バッファ回路の電圧を昇圧する昇圧回路と、DC電圧を第2のAC電圧に変換するインバータとを備える。

[0010] なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を方法、装置、プログラム、プログラムを記録した一時的なまたは一時的でない記憶媒体、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0011] 本発明によれば、小容量DCリンクキャパシタの電解コンデンサレスAC-DCコンバータを実現することができる。

図面の簡単な説明

[0012] [図1]実施の形態に係るAC-DCコンバータを示す機能ブロック図である。

[図2]比較例に係るAC-DCコンバータを示す機能ブロック図である。

[図3]図2のAC-DCコンバータの電圧、電流および電力の時間変化を示す図である。(a)は入力電圧、入力電流および入力電力の時間変化を示す。

(b)はDCリンク電圧、DCリンクキャパシタ電流およびDCリンクキャパシタ電力の時間変化を示す。

[図4]図2のAC-DCコンバータの昇圧動作を示す図である。

[図5]図4の昇圧動作時における入力電圧、整流電圧、DCリンク電圧、入力電流、インダクタ電流、平均降圧回路スイッチ電流、平均昇圧回路スイッチ電流、デューティサイクル、出力電力およびDCリンクキャパシタ電力の時

間変化を示す図である。

[図6]図2のAC-DCコンバータの降圧動作を示す図である。

[図7]図6の降圧動作時における入力電圧、整流電圧、DCリンク電圧、入力電流、インダクタ電流、平均降圧回路スイッチ電流、平均昇圧回路スイッチ電流、デューティサイクル、出力電力およびDCリンクキャパシタ電力の時間変化を示す図である。

[図8]図1のAC-DCコンバータのバッファ回路の電流制御を示す図である。図(a)は第1の電流制御を示す。図(b)は第2の電流制御を示す。図(c)は第3の電流制御を示す。図(d)は第4の電流制御を示す。

[図9]図1のAC-DCコンバータの昇圧動作を示す図である。

[図10]図9の昇圧動作時における入力電圧、整流電圧、DCリンク電圧、入力電流、インダクタ電流、平均降圧回路スイッチ電流、平均昇圧回路スイッチ電流およびデューティサイクルの時間変化を示す図である。

[図11]図1のAC-DCコンバータの降圧動作を示す図である。

[図12]図11の降圧動作時における入力電圧、整流電圧、DCリンク電圧、入力電流、インダクタ電流、平均降圧回路スイッチ電流、平均昇圧回路スイッチ電流およびデューティサイクルの時間変化を示す図である。

[図13]図1のAC-DCコンバータのバッファキャパシタ電力、DCリンクキャパシタ電力、バッファキャパシタ電圧、平均バッファ電圧、バッファデューティサイクル、第1バッファデューティサイクルおよび第2バッファデューティサイクルの時間変化を示す図である。

[図14]図1のAC-DCコンバータの制御部を示す機能ブロック図である。

[図15]実施の形態に係るAC-DCコンバータのバッファ回路を示す模式図である。

[図16]実施の形態に係るAC-DCコンバータの別のバッファ回路を示す模式図である。

[図17]実施の形態に係るAC-DCコンバータの別のバッファ回路を示す模式図である。

[図18]実施の形態に係るDC-DCコンバータを示す機能ブロック図である。

[図19]実施の形態に係るAC-ACコンバータを示す機能ブロック図である。

発明を実施するための形態

[0013] 以下の実施の形態では、同一の構成要素に同一の符号を付し、重複する説明を省略する。また説明の便宜のため、各図面では構成要素の一部を適宜省略する。特に断りのない限り、数値Aに関し、 $\langle A \rangle$ はAの平均値、 A^* はAの目標値を示す。本明細書では、電源側から出力側に向かう電流または信号の流れに沿って、上流側を「前段」または「入力」と、下流側を「後段」または「出力」と表記することがある。

[0014] [第1実施の形態]

図1は、第1実施の形態に係るAC-DCコンバータ100の機能ブロック図である。AC-DCコンバータ100は、単相AC電源2の電源電力を出力DC電力に変換するコンバータとして機能する。出力DC電力は、直接、またはインバータにより三相AC電力に変換され、例えばポンプ、コンプレッサ、船や飛行機の電動アクチュエータ、ロボットアームなど多様な装置を駆動するために使用される。AC-DCコンバータ100は、整流回路10と、降圧回路20と、インダクタ30と、バッファ回路40と、昇圧回路50と、制御部90とを備える。

[0015] 単相AC電源2は、例えば商用電源や発電機であってよい。単相AC電源2は、AC-DCコンバータ100の整流回路10に、入力電圧 v_G 、入力電流 i_G を出力する。

[0016] 整流回路10は、PFC (Power Factor Correction) 機能を備えた整流回路であり、公知技術を用いて実現されてよい。整流回路10は、単相AC電源2から入力された入力電圧 v_G を全波整流して整流電圧 v_R (整流電流 i_R) を生成する。その後整流回路10は、PFC機能を用いて電流波形から高周波を除去する。整流回路10は、整流電圧 v_R 、整

流電流 i_R を降圧回路 20 に出力する。

- [0017] 降圧回路 20 は、整流回路 10 の後段に配置され、コンデンサ C_F と、スイッチ T_A と、ダイオード D_A とを備える。降圧回路 20 は、制御部 90 によりスイッチ T_A が制御されることにより、整流電圧 v_R を降圧回路電圧 v_A に降圧する。降圧回路 20 は、インダクタ電流 i_L をインダクタ 30 に出力する。降圧回路 20 の降圧動作の詳細は後で述べる。
- [0018] インダクタ 30 は、降圧回路 20 の後段に配置される回路素子であり、公知技術を用いて実現されてよい。インダクタ 30 は、インダクタ電流 i_L に起因する磁気エネルギーを蓄積または開放する。
- [0019] バッファ回路 40 は、インダクタ 30 の後段に配置される。バッファ回路 40 は、ダイオード D_{C1} およびスイッチ T_{C1} を含んで構成される前段側ハーフブリッジと、ダイオード D_{C2} およびスイッチ T_{C2} を含んで構成される後段側ハーフブリッジとを、間にコンデンサ C_C を挟んで組み合わせた、非対称のフルブリッジ回路を備える。バッファ回路 40 は、AC-DC コンバータ 100 内で直列に接続され、入力電力の脈動を能動的に補償する。このことからバッファ回路 40 を「シリーズアクティブバッファ」、「Series Power Pulsation Buffer」または「SPPB」と呼ぶことがある。ダイオード D_{C1} および D_{C2} は公知技術を用いて実現されてよい。スイッチ T_{C1} 、 T_{C2} は要求されるスイッチング速度に応じて、MOS-FET (Metal Oxide Semiconductor Field Effect Transistor) で実現されてもよいし、より高速の GaN (窒化ガリウム)、SiC (シリコンカーバイド) などの WBG (Wide Band Gap) 半導体で実現されてもよい。コンデンサ C_C は、例えばフィルムコンデンサやセラミックコンデンサなどにより構成された小容量のコンデンサであり、大容量の電解コンデンサである必要はない。
- [0020] 昇圧回路 50 は、バッファ回路 40 の後段に配置され、DC リンクキャパシタ C_{PN} と、スイッチ T_B と、ダイオード D_B とを備える。昇圧回路 50 は、制御部 90 によりスイッチ T_B が制御されることにより、バッファキャパシタ

電圧 v_C を昇圧回路電圧 v_B に昇圧する。DCリンクキャパシタ C_{PN} は、例えばフィルムコンデンサやセラミックコンデンサなどにより構成された小容量のコンデンサであり、大容量の電解コンデンサである必要はない。DCリンクキャパシタ C_{PN} は、昇圧回路電圧 v_B からスイッチングなどに伴うノイズを除去し、平滑なDCリンク電圧 v_{PN} を生成する。昇圧回路50は、生成したDCリンク電圧 v_{PN} 、すなわち出力電圧 v_{PN} を外部に出力する。昇圧回路50の昇圧動作の詳細は後で述べる。

[0021] 制御部90は、バッファ電圧制御部92と、DCリンク電圧制御部94と、インダクタ電圧制御部96と、PWMユニット98とを備える。制御部90は、降圧回路20、バッファ回路40および昇圧回路50を制御して、整流電圧、バッファ電圧およびDCリンク電圧を調整する。制御部90の制御の詳細は後で述べる。

[0022] [比較例の電圧制御]

実施の形態に係るAC-DCコンバータの電圧制御を説明する前に、比較例に係るAC-DCコンバータの電圧制御を説明する。図2は、比較例に係るAC-DCコンバータ200の機能ブロック図である。図1のAC-DCコンバータ100との相違点は、バッファ回路40を備えない点と、DCリンクキャパシタ C_{PN} が大容量の電解コンデンサで構成される点である。AC-DCコンバータ200では、DCリンクキャパシタ C_{PN} が入力電力の脈動を補償するとともに、エネルギーバッファとして機能する。これに対し、AC-DCコンバータ100のバッファ回路40は、入力電力の脈動を補償するだけであり、エネルギーバッファとしては機能しない。AC-DCコンバータ200の制御部91は、降圧回路20および昇圧回路50を制御して、整流電圧およびDCリンク電圧を調整する。AC-DCコンバータ200のその他の構成は、AC-DCコンバータ100の構成と共通である。

[0023] 図3(a)に、AC-DCコンバータ200の入力電圧 v_G 、入力電流 i_G および入力電力 p_G の時間変化を示す。図3(b)に、AC-DCコンバータ200のDCリンク電圧 v_{PN} 、DCリンクキャパシタ電流 i_{PN} およびDCリ

ンクキャパシタ電力 p_{PN} の時間変化を示す。

[0024] 本明細書では、入力電圧（単相 AC 電源 2 によって供給される AC 電圧）

v_G は、振幅 V_G 、周波数 f_G の正弦波であるとし、以下のように表す。

$$v_G = V_G \cdot \sin(2\pi f_G t)$$

力率 = 1 の条件を満足するために、入力電流 i_G は、入力電圧 v_G と同じ周波数かつ同じ位相を持つ正弦波となるように制御される。すなわち入力電流 i_G は、振幅を I_G とおくと、以下のように表される。

$$i_G = I_G \cdot \sin(2\pi f_G t)$$

従って、整流回路 10 に入力される入力電力 p_G は、以下のようになる。

$$p_G = v_G \cdot i_G = V_G \cdot \sin(2\pi f_G t) \cdot I_G \cdot \sin(2\pi f_G t) = P_0 \cdot (1 - \cos(2\pi \cdot 2f_G t))$$

ただし $P_0 = V_G \cdot I_G / 2$ とおいた。このように入力電力 p_G は、入力電圧 v_G の周波数 f_G の 2 倍の周波数 $2f_G$ で脈動する。

[0025] 以下に述べるように、DC リンクキャパシタ C_{PN} はこの入力電圧 v_G の脈動をバッファすることにより補償する。DC リンクキャパシタ C_{PN} は、内部に静電エネルギー E_C を蓄積する。

$$E_C = 1/2 \cdot C_{PN} \cdot v_{PN}^2$$

ただし DC リンクキャパシタ C_{PN} の容量を C_{PN} とおいた。これにより、DC リンクにコンデンサ電流 i_C が流れる。そして DC リンク電圧 v_{PN} には、入力電圧 v_G の周波数 f_G の 2 倍の周波数 $2f_G$ で振動する DC リンク電圧脈動 Δv_{PN} が発生する。DC リンク電圧脈動 Δv_{PN} は、平均出力電力 $\langle p_{PN} \rangle$ 、平均 DC リンク電圧 $\langle V_{PN} \rangle$ 、入力電圧 v_G の周波数 f_G および DC リンクキャパシタ C_{PN} の容量 C_{PN} に依存し、以下のように表される。

$$\Delta v_{PN} = (\langle p_{PN} \rangle / 2\pi f_G) \cdot (1 / (\langle V_{PN} \rangle \cdot C_{PN}))$$

すなわちこの脈動を補償して抑制するためには、DC リンクキャパシタ C_{PN} の容量 C_{PN} を十分大きくする必要がある。一般に正常なインバータ機能を実現するためには、DC リンク電圧脈動 Δv_{PN} を平均 DC リンク電圧 v_{PN} の数 % 以内に抑制する必要がある。例えば、 P_0 が 5 kW、 v_{PN} が 100 V、 f_G

が 50Hz のとき、 $\Delta v_{PN}/v_{PN}$ を 5% 以内に抑制するためには、DCリンクキャパシタ C_{PN} の容量は約 3mF 以上必要であることが分かる。この容量は非常に大きいため、大容量の電解コンデンサが必要となる。このような大容量の電解コンデンサには、サイズが大きく寿命も短いという問題がある。従って、DCリンクキャパシタの容量を小さくし、装置全体を電解コンデンサレスで構成することが求められる。

[0026] 図4に、昇圧動作時のAC-DCコンバータ200を示す。制御部91は、整流電圧 v_R がDCリンク電圧 v_{PN} より小さいとき($v_R < v_{PN}$)昇圧動作が実行されるように降圧回路20および昇圧回路50を制御する。昇圧動作時、降圧回路20のスイッチ T_A は常時ONとなる($T_A = \text{ON}$)。従って降圧デューティサイクル d_A は1となる($d_A = 1$)。一方、昇圧回路50のスイッチ T_B は高周波数(High Frequency: HF)で動作する($T_B = \text{HF}$)。変調率は v_R/v_{PN} となり、これにより昇圧デューティサイクル d_B が算出される($d_B = m_i = v_R/v_{PN}$)。PFC動作を実現するために、整流電流 i_R は整流電圧 v_R に比例するように制御される($i_R \propto v_R$)。このとき整流電流 i_R は入力電流 i_G と等しい($i_R = i_G$)。上述のように昇圧動作時、スイッチ T_A は常時ONであるため、整流電流 i_R はインダクタ電流 i_L と等しい。すなわち、 $i_L = i_A = i_R = i_G$ が成立する。以上のように、 $i_L = i_G$ となるように昇圧回路50のスイッチ T_B を高周波制御することにより、RFC整流と昇圧動作とを同時に実現することができる。

[0027] 図5(ハッチングされていない部分)に、昇圧動作時における入力電圧 v_G 、整流電圧 v_R 、DCリンク電圧 v_{PN} 、入力電流 i_G 、インダクタ電流 i_L 、平均降圧回路電流 $\langle i_A \rangle T_{SW}$ 、平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ 、降圧デューティサイクル d_A 、昇圧デューティサイクル d_B 、出力電力 p_{PN} およびDCリンクキャパシタ電力 p_{CPN} の時間変化を示す。ここで、 $\langle i_A \rangle T_{SW}$ は、電流 i_A をスイッチング周期 T_{SW} で時間平均したことを示す(以下同様)。以下、スイッチング周期での時間平均を「平均」と略称する。

[0028] 図6に、降圧動作時のAC-DCコンバータ200を示す。制御部91は

、整流電圧 v_R が DC リンク電圧 v_{PN} より大きいとき ($v_R > v_{PN}$) 降圧動作が実行されるように降圧回路 20 および昇圧回路 50 を制御する。降圧動作時、昇圧回路 50 のスイッチ T_B は常時 OFF となる ($T_B = \text{OFF}$)。従って昇圧デューティサイクル d_B は 0 となる ($d_B = 0$)。一方、降圧回路 20 ではスイッチ T_A は高周波数で動作する ($T_A = \text{HF}$)。変調率 m_I は v_R / v_{PN} となり、これにより降圧デューティサイクル d_A が算出される ($d_A = m_I = v_R / v_{PN}$)。PFC 動作を実現するために、整流電流 i_R は整流電圧 v_R に比例するように制御される ($i_R \propto v_R$)。昇圧動作時と異なりスイッチ T_A が高周波動作するため、インダクタ電流 i_L は整流電流 i_R と等しくなく、昇圧回路電流 i_B と等しい ($i_L \neq i_R$, $i_L = i_B = i_{CPN} + i_{PN}$)。DC リンクキャパシタ C_{PN} の電力 p_{CPN} は、入力電力の脈動を補償するために $\pm p_{PN}$ で脈動する。これにより DC リンクキャパシタ C_{PN} の電流 i_{CPN} も $\pm i_{PN}$ で脈動する。以上のように、 $i_L = i_{CPN} + i_{PN}$ となるように降圧回路 20 のスイッチ T_A を高周波制御することにより、RFC 整流と降圧動作とを同時に実現することができる。

[0029] 図 7 (ハッチングされていない部分) に、降圧動作時における入力電圧 v_G 、整流電圧 v_R 、DC リンク電圧 v_{PN} 、入力電流 i_G 、インダクタ電流 i_L 、平均降圧回路電流 $\langle i_A \rangle T_{SW}$ 、平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ 、降圧デューティサイクル d_A 、昇圧デューティサイクル d_B 、出力電力 p_{PN} および DC リンクキャパシタ電力 p_{CPN} の時間変化を示す。

[0030] [実施の形態に係る電圧制御]

実施の形態に係る電圧制御について説明する。図 1 の AC-DC コンバータ 100 のバッファ回路 40 は、スイッチ T_{C1} および T_{C2} の ON および OFF の組み合わせによって、4 種類の電流制御を行うことができる。図 8 (a) に、バッファ回路 40 の第 1 の電流制御を示す。第 1 の電流制御時、スイッチ T_{C1} および T_{C2} はいずれも OFF である。このときインダクタ電流 i_L は、2 つのダイオード D_{C1} および D_{C2} を通り、コンデンサ C_C を正方向に導通して流れる。このとき $i_{CC} = i_L$ であり、コンデンサ C_C は充電される。すなわ

ち第1の電流制御では、バッファ回路40は入力の超過電圧を充電することができる。この第1の電流制御は、インダクタ30に直列に、正の電力脈動バッファ電圧 v_{PPB} が印加された状態に相当する。図8(b)に、バッファ回路40の第2の電流制御を示す。第2の電流制御時、スイッチ T_{C1} および T_{C2} はいずれもONである。このときインダクタ電流 i_L は、2つのスイッチ T_{C1} および T_{C2} を通り、コンデンサ C_C を負方向に導通して流れる。このとき $i_C = -i_L$ であり、コンデンサ C_C は放電される。すなわち第2の電流制御では、バッファ回路40は充電した電荷を出力側に供給することができる。この第2の電流制御は、インダクタ30に直列に、負の電力脈動バッファ電圧 v_{PPB} が印加された状態に相当する。図8(c)および図8(d)に、それぞれバッファ回路40の第3および第4の電流制御を示す。第3の電流制御時、スイッチ T_{C1} はONであり、 T_{C2} はOFFである。第4の電流制御時、スイッチ T_{C1} はOFFであり、 T_{C2} はONである。第3および第4の電流制御時は、インダクタ電流 i_L は、コンデンサ C_C をバイパスして流れる。このとき $i_{CC} = 0$ であり、コンデンサ C_C は充電も放電もされない。第3および第4の電流制御は、インダクタ30に直列に0電圧が印加された状態に相当する。

[0031] AC-DCコンバータ200では、変調率 m_I は、整流電圧 v_R と出力電圧(DCリンク電圧) v_{PN} の比により算出された($m_I = v_R / v_{PN}$)。このように電圧比から変調率を算出する方法を「電圧変換アプローチ」と呼ぶことがある。これに対しAC-DCコンバータ100では、変調率 m_I は、整流電流 i_R と昇圧回路電流 i_B のスイッチング周期における平均値 $\langle i_B \rangle T_{SW}$ との比により算出される($m_I = i_R / \langle i_B \rangle T_{SW}$)。このように電流比から変調率を算出する方法を「電流変換アプローチ」と呼ぶことがある。

[0032] 図9に、昇圧動作時のAC-DCコンバータ100を示す。制御部90は、整流電流 i_R が平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ より大きいとき(すなわち、 $m_I > 1$ のとき)昇圧動作が実行されるように、降圧回路20、バッファ回路40および昇圧回路50を制御する。昇圧動作時、降圧回路20のスイッチ

T_A は常時ONとなる ($T_A = ON$)。従って降圧デューティサイクル d_A は1となる ($d_A = 1$)。

一方、昇圧回路50のスイッチ T_B は高周波数で動作する ($T_B = HF$)。PFC動作を実現するために、整流電流 i_R は整流電圧 v_R に比例するように制御される ($i_R \propto v_R$)。このとき整流電流 i_R は入力電流 i_G と等しい ($i_R = i_G$)。上述のように昇圧動作時、スイッチ T_A が常時ONであるため、整流電流 i_R はインダクタ電流 i_L と等しい。すなわち、 $i_L = i_A = i_R = i_G$ が成立する。昇圧動作の結果、インダクタ電流 i_L は昇圧回路電流 i_B に変換される。平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ は、平均出力電流 (平均DCリンク電流) $\langle i_{PN} \rangle T_{SW}$ と等しい ($\langle i_B \rangle T_{SW} = \langle i_{PN} \rangle T_{SW}$)。

電力バランスの式

$$\langle v_B \rangle T_{SW} \cdot i_L = v_{PN} \cdot \langle i_B \rangle T_{SW}$$

から、

$$i_L = (v_{PN} \cdot \langle i_B \rangle T_{SW}) / \langle v_B \rangle T_{SW}$$

となる。 v_{PN} および $\langle i_B \rangle T_{SW}$ は既知であるため、 $i_L = i_A$ となるように昇圧回路50のスイッチ T_B を高周波動作させて $\langle v_B \rangle T_{SW}$ を制御することにより、PFC整流を実現することができる。さらに上記の電力バランスの式から、

$$i_L = (v_{PN} / \langle v_B \rangle T_{SW}) \cdot \langle i_B \rangle T_{SW}$$

となる。これより、 $v_{PN} > \langle v_B \rangle T_{SW}$ のとき (すなわち、低電圧の $\langle v_B \rangle T_{SW}$ が高電圧の v_{PN} に昇圧されるとき)、インダクタ電流 i_L (すなわち、整流電流 i_R) は平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ より大きいことが分かる。すなわち、AC-DCコンバータ100では、整流電圧 v_R と出力電圧 (DCリンク電圧) v_{PN} の比とは独立に、整流電流 i_R が平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ より大きいとき (すなわち、 $m_1 > 1$ のとき) 昇圧動作が実行される。

[0033] 昇圧動作時、制御部90は、スイッチ T_{C1} を常時OFFとし、スイッチ T_{C2} が高周波数で動作するようにバッファ回路40を制御する ($T_{C1} = OFF$ 、 $T_{C2} = HF$)。このときバッファ回路40は、第1の電流制御 (充電) と第

4の電流制御（充放電なし）を高周波数で交代する。これによりバッファ回路40は電圧源として機能し、一定の出力電圧 v_{PN} を出力することができる。

[0034] 図10（ハッチングされていない部分）に、昇圧動作時における入力電圧 v_G 、整流電圧 v_R 、DCリンク電圧 v_{PN} 、入力電流 i_G 、インダクタ電流 i_L 、平均降圧回路電流 $\langle i_A \rangle T_{SW}$ 、平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ 、降圧デューティサイクル d_A および昇圧デューティサイクル d_B の時間変化を示す。

[0035] 図11に、降圧動作時のAC-DCコンバータ100を示す。制御部90は、整流電流 i_R が平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ より小さいとき（すなわち、 $m_1 < 1$ のとき）降圧動作が実行されるように、降圧回路20、バッファ回路40および昇圧回路50を制御する。降圧動作時、昇圧回路50のスイッチ T_B は常時OFFとなる（ $T_B = OFF$ ）。従って昇圧デューティサイクル d_B は0となる（ $d_B = 0$ ）。一方、降圧回路20のスイッチ T_A は高周波数で動作する（ $T_A = HF$ ）。PFC動作を実現するために、整流電流 i_R は整流電圧 v_R に比例するように制御される（ $i_R \propto v_R$ ）。このときインダクタ電流 i_L は昇圧回路電流 i_B と等しい（ $i_L = i_B$ ）。整流電流 i_R は、平均降圧回路電流 $\langle i_A \rangle T_{SW}$ と等しい（ $i_R = \langle i_A \rangle T_{SW}$ ）。

電力バランスの式

$$v_R \cdot \langle i_A \rangle T_{SW} = \langle v_A \rangle T_{SW} \cdot i_L$$

から、

$$\langle i_A \rangle T_{SW} = i_L \cdot \langle v_A \rangle T_{SW} / v_R$$

となる。 v_R および i_L は既知であるため、 $\langle i_A \rangle T_{SW} = i_R$ となるように降圧回路20のスイッチ T_A を高周波動作させて $\langle v_A \rangle T_{SW}$ を制御することにより、PFC整流を実現することができる。さらに上記の電力バランスの式から、

$$\langle i_A \rangle T_{SW} = (\langle v_A \rangle T_{SW} / v_R) \cdot i_L$$

となる。これより、 $\langle v_A \rangle T_{SW} < v_R$ のとき（すなわち、高電圧の v_R が低電圧の $\langle v_A \rangle T_{SW}$ に降圧されるとき）、平均降圧回路電流 $\langle i_A \rangle T_{SW}$ （す

なわち、整流電流 i_R は、インダクタ電流 i_L （すなわち、昇圧回路電流 $\langle i_B \rangle T_{SW}$ ）より小さいことが分かる。すなわち、AC-DCコンバータ100では、整流電圧 v_R と出力電圧（DCリンク電圧） v_{PN} の比とは独立に、整流電流 i_R が平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ より小さいとき（すなわち、 $m_1 < 1$ のとき）降圧動作が実行される。

[0036] 降圧動作時、制御部90は、スイッチ T_{C1} を常時ONとし、スイッチ T_{C2} が高周波数で動作するようにバッファ回路40を制御する（ $T_{C1} = \text{ON}$ 、 $T_{C2} = \text{HF}$ ）。このときバッファ回路は、第2の電流制御（放電）と第3の電流制御（充放電なし）を高周波数で交代する。これによりバッファ回路40は電圧源として機能し、出力電圧 v_{PN} を出力することができる。

[0037] 図12（ハッチングされていない部分）に、降圧動作時における入力電圧 v_G 、整流電圧 v_R 、DCリンク電圧 v_{PN} 、入力電流 i_G 、インダクタ電流 i_L 、平均降圧回路電流 $\langle i_A \rangle T_{SW}$ 、平均昇圧回路電流 $\langle i_B \rangle T_{SW}$ 、降圧デューティサイクル d_A および昇圧デューティサイクル d_B の時間変化を示す。

[0038] 前述の通り、インダクタ電流 i_L は以下のように表される。

$$i_R > \langle i_B \rangle T_{SW} \text{ のとき（昇圧動作時）} : i_L = i_R$$

$$i_R < \langle i_B \rangle T_{SW} \text{ のとき（降圧動作時）} : i_L = \langle i_B \rangle T_{SW}$$

すなわち、

$$i_L = \max(i_R, \langle i_B \rangle T_{SW})$$

である。ここで $\max(a, b)$ は、 a 、 b の大きい方の値を取ることを示す。図5、7、10および12に示されるように、このようにして得られるインダクタ電流 i_L は、AC-DCコンバータ200から得られるインダクタ電流 i_L より小さい。

[0039] 昇圧デューティサイクル d_A および降圧デューティサイクル d_B は、変調率 m_1 を用いて以下のように定められる。

$$d_A = \min(m_1, 1)$$

$$d_B = 1 - \min(1/m_1, 1)$$

ここで $\min(a, b)$ は、 a 、 b の小さい方の値を取ることを示す。

[0040] インダクタ30の電力バランスを保ち、インダクタ電流 i_L の変動を防ぐため、バッファ回路40は以下の条件を満足するバッファ電圧 v_{PPB} を印加する。

$$\langle v_{PPB} \rangle T_{SW} = \langle v_A \rangle T_{SW} - \langle v_B \rangle T_{SW}$$

ここで、降圧動作時におけるスイッチノード電圧 $\langle v_A \rangle T_{SW}$ および昇圧動作時におけるスイッチノード電圧 $\langle v_B \rangle T_{SW}$ は、それぞれ変調率 m_1 で定められる。

[0041] バッファデューティサイクル d_c は、以下のように、平均バッファ電圧 $\langle v_{PPB} \rangle T_{SW}$ とバッファキャパシタ電圧 v_c との比で定められる。

$$d_c = \langle v_{PPB} \rangle T_{SW} / v_c$$

ここで、

$$|\langle v_{PPB} \rangle T_{SW}| < |v_c| \quad (\text{すなわち、} -1 < d_c < 1)$$

が常に成立する点に注意する。これにより、バッファキャパシタ電圧 v_c の最小値は、平均バッファ電圧 $\langle v_{PPB} \rangle T_{SW}$ の最大値によって定められる。さらに整流電圧 v_R が0の場合であっても、バッファ回路40はDCリンク電圧 v_{PN} を完全に補償する必要がある。従って、

$$v_c > v_{PN}$$

が常に成立する。

[0042] バッファ回路40の前段側ハーフブリッジのデューティサイクル d_{c1} （以下、「第1バッファデューティサイクル d_{c1} 」と呼ぶ）と、後段側ハーフブリッジのデューティサイクル d_{c2} （以下、「第2バッファデューティサイクル d_{c2} 」と呼ぶ）とは、バッファデューティサイクル d_c から求められる。バッファデューティサイクル d_c は、入力電力 p_g の脈動の2倍の周波数で振動する。 $d_c > 0$ のとき、バッファキャパシタ C_c はインダクタ30に正方向に接続され（ $T_{c1} = OFF$ 、 $T_{c2} = OFF$ ）、入力の超過電力はバッファ回路40に充電される。一方 $d_c < 0$ のとき、バッファキャパシタ C_c はインダクタ30に負方向に接続され（ $T_{c1} = ON$ 、 $T_{c2} = ON$ ）、充電された電荷が出力側に放電される。以上のことから、バッファ回路40の前段側ハーフブリ

ッジ (T_{C1} = および D_{C1}) は、バッファ電圧 v_{PPB} の極性を決定することが分かる。すなわち、デューティサイクル d_C が正のとき常に $T_{C1} = OFF$ となり ($d_{C1} = 0$)、デューティサイクル d_C が負のとき常に $T_{C1} = ON$ となる ($d_{C1} = 1$)。一方、バッファ回路 40 の後段側ハーフブリッジ (T_{C2} = および D_{C2}) は、高周波でパルス幅変調される。これにより、バッファ回路 40 に蓄積される (またはバッファ回路 40 から開放される) エネルギーの大きさが制御される。第 2 バッファデューティサイクル d_{C2} は以下のように求まる。

$$d_{C2} = 1 - d_{C1} - d_C$$

[0043] 図 13 に、バッファキャパシタ電力 p_{CC} 、DC リンクキャパシタ電力 p_{CPN} 、バッファキャパシタ電圧 v_C 、平均バッファ電圧 $\langle v_{PPB} \rangle T_{SW}$ 、バッファデューティサイクル d_C 、第 1 バッファデューティサイクル d_{C1} および第 2 バッファデューティサイクル d_{C2} の時間変化を示す。

[0044] 以上説明したように、降圧デューティサイクル d_A 、昇圧デューティサイクル d_B 、第 1 バッファデューティサイクル d_{C1} および第 2 バッファデューティサイクル d_{C2} を算出して、降圧回路 20、バッファ回路 40 および昇圧回路 50 を制御することにより、入力 AC 電力から脈動を補償し、所望の大きさの DC 電力を生成することができる。バッファ回路 40 のコンデンサ C_C は大容量である必要はないため、電解コンデンサでなく、例えばフィルムコンデンサやセラミックコンデンサで実現することができる。

[0045] 次に図 14 を参照して、AC-DC コンバータ 100 の制御部 90 による制御を詳細に説明する。図 14 は、AC-DC コンバータ 100 の制御部 90 の機能ブロック図である。制御部 90 は、バッファ電圧制御部 92 と、DC リンク電圧制御部 94 と、インダクタ電圧制御部 96 と、PWM ユニット 98 とを備える。

[0046] バッファ電圧制御部 92 には、目標バッファキャパシタ電圧 v_{C^*} と、フィルタ F_{v_C} からの平均バッファキャパシタ電圧 $\langle v_C \rangle$ とが入力される。入力された目標バッファキャパシタ電圧 v_{C^*} は 2 つに分岐される。2 つに分岐され

た目標バッファキャパシタ電圧 v_c^* の一方から、平均バッファキャパシタ電圧 $\langle v_c \rangle$ が減算され、平均バッファキャパシタ電圧差 $\delta \langle v_c \rangle$ が算出される ($\delta \langle v_c \rangle = v_c^* - \langle v_c \rangle$)。平均バッファキャパシタ電圧差 $\delta \langle v_c \rangle$ は電圧制御器 R_{v_c} に入力され、目標平均バッファキャパシタ電流 $\langle i_{cc}^* \rangle$ に変換される ($\delta \langle v_c \rangle \rightarrow \langle i_{cc}^* \rangle$)。目標平均バッファキャパシタ電流 $\langle i_{cc}^* \rangle$ は、2つに分岐された目標バッファキャパシタ電圧 v_c^* の他方と乗算され、目標平均バッファキャパシタ電力 $\langle p_{cc}^* \rangle$ が算出される ($\langle p_{cc}^* \rangle = v_c^* \cdot \langle i_{cc}^* \rangle$)。目標平均バッファキャパシタ電力 $\langle p_{cc}^* \rangle$ は、フィルタ F_{p_B} から出力された平均目標昇圧回路電力 $\langle p_B^* \rangle$ と加算され、平均目標入力電力 $\langle p_G^* \rangle$ が算出される ($\langle p_G^* \rangle = \langle p_{cc}^* \rangle + v_c^*$)。平均目標入力電力 $\langle p_G^* \rangle$ は、 $2 \cdot |v_G| / \langle v_G \rangle^2$ (入力電圧の絶対値 $|v_G|$ と、平均入力電圧 $\langle v_G \rangle$ の逆数の2乗との積の2倍により算出される) と積算され、目標整流電流 i_R^* が算出される ($i_R^* = \langle p_G^* \rangle \cdot 2 \cdot |v_G| / \langle v_G \rangle^2$)。目標整流電流 i_R^* は、インダクタ電圧制御部96に出力される。

[0047] DCリンク電圧制御部94には、目標DCリンク電圧 v_{PN}^* と、昇圧回路50からのDCリンク電圧 v_{PN} とが入力される。入力された目標DCリンク電圧 v_{PN}^* は2つに分岐される。2つに分岐された目標DCリンク電圧 v_{PN}^* の一方から、DCリンク電圧 v_{PN} が減算され、DCリンク電圧差 δv_{PN} が算出される ($\delta v_{PN} = v_{PN}^* - v_{PN}$)。DCリンク電圧差 δv_{PN} は電圧制御器 $R_{v_{PN}}$ に入力され、目標キャパシタ電流 i_{CPN}^* に変換される ($\delta v_{PN} \rightarrow i_{CPN}^*$)。目標キャパシタ電流 i_{CPN}^* は、キャパシタ電流 i_{CPN} と加算され、目標昇圧回路電流 i_B^* が算出される ($i_B^* = i_{CPN}^* + i_{CPN}$)。目標昇圧回路電流 i_B^* は2つに分岐され、その一方は、2つに分岐されたDCリンク電圧 v_{PN}^* の他方と乗算され、目標昇圧回路電力 p_B^* が算出される ($p_B^* = i_B^* \cdot v_{PN}^*$)。目標昇圧回路電力 p_B^* は、フィルタ F_{p_B} に入力される。フィルタ F_{p_B} から、平均目標昇圧回路電力 $\langle p_B^* \rangle$ が出力される。2つに分岐された目標昇圧回路電流 i_B^* の他方は、インダクタ電圧制御部96に出力される

。

[0048] インダクタ電圧制御部 96 には、目標整流電流 i_{R^*} と、目標昇圧回路電流 i_{B^*} と、インダクタ電流 i_L と、バッファキャパシタ電圧 v_C とが入力される。入力された目標整流電流 i_{R^*} は 3 つに分岐される。3 つに分岐された目標整流電流 i_{R^*} の 1 番目から、目標昇圧回路電流 i_{B^*} が除算され、変調率 m_I が算出される ($m_I = i_{R^*} / i_{B^*}$)。3 つに分岐された目標整流電流 i_{R^*} の 2 番目は、目標昇圧回路電流 i_{B^*} から除算され、変調率の逆数 $1 / m_I$ が算出される ($1 / m_I = i_{B^*} / i_{R^*}$)。3 つに分岐された目標整流電流 i_{R^*} の 3 番目は、目標昇圧回路電流 i_{B^*} と大小比較される。入力された目標昇圧回路電流 i_{B^*} は 3 つに分岐される。3 つに分岐された目標昇圧回路電流 i_{B^*} の 1 番目から、目標整流電流 i_{R^*} が除算され、変調率の逆数 $1 / m_I$ が算出される ($1 / m_I = i_{B^*} / i_{R^*}$)。3 つに分岐された目標昇圧回路電流 i_{B^*} の 2 番目は、目標整流電流 i_{R^*} から除算され、変調率 m_I が算出される ($m_I = i_{R^*} / i_{B^*}$)。3 つに分岐された目標昇圧回路電流 i_{B^*} の 3 番目は、目標整流電流 i_{R^*} と大小比較される。変調率 m_I は 1 と大小比較され、比較の結果小さい方が降圧デューティサイクル d_A として定義される ($d_A = \min(m_I, 1)$)。

。

[0049] 降圧デューティサイクル d_A は 2 つに分岐される。2 つに分岐された降圧デューティサイクル d_A の一方は、PWM ユニット 98 に出力される。変調率の逆数 $1 / m_I$ は 1 と大小比較され、比較の結果小さい方が、昇圧デューティサイクル d_B の基となる量 $1 - d_B$ として定義される ($1 - d_B = \min(1 / m_I, 1)$)。2 つに分岐された降圧デューティサイクル d_A の他方には、入力電圧 v_G の絶対値 $|v_G|$ が乗算され、降圧回路電圧 v_A が算出される ($v_A = d_A \cdot |v_G|$)。昇圧デューティサイクル d_B の基となる量 $1 - d_B$ は 2 つに分岐される。2 つに分岐された量 $1 - d_B$ の一方は、昇圧デューティサイクル d_B に変換された後、PWM ユニット 98 に出力される ($1 - d_B \rightarrow d_B$)。2 つに分岐された量 $1 - d_B$ の他方には、目標 DC リンク電圧 V_{PN^*} が乗算され、昇圧回路電圧 v_B が算出される ($v_B = (1 - d_B) \cdot V_{PN^*}$)。前述の通り

、目標整流電流 i_R^* (3つに分岐されたものの3番目) と目標昇圧回路電流 i_B^* (3つに分岐されたものの3番目) とは大小比較され、比較の結果大きい方が目標インダクタ電流 i_L^* として定義される ($i_L^* = \max(i_R^*, i_B^*)$)。目標インダクタ電流 i_L^* から、インダクタ電流 i_L が減算され、インダクタ電流差 δi_L が算出される ($\delta i_L = i_L^* - i_L$)。インダクタ電流差 δi_L は、電圧制御器 R_{iL} に入力され、目標インダクタ電圧 v_L^* に変換される ($\delta i_L \rightarrow v_L^*$)。降圧回路電圧 v_A から、昇圧回路電圧 v_B と目標インダクタ電圧 v_L^* とが減算され、目標バッファ電圧 v_{PPB}^* が算出される ($v_{PPB}^* = v_A - v_B - v_L^*$)。目標バッファ電圧 v_{PPB}^* から、バッファキャパシタ電圧 v_C が除算され、バッファデューティサイクル d_C が算出される ($d_C = v_{PPB}^* / v_C$)。算出されたバッファデューティサイクル d_C は、PWMユニット98に出力される。

[0050] PWMユニット98には、降圧デューティサイクル d_A と、昇圧デューティサイクル d_B と、バッファデューティサイクル d_C とが入力される。PWMユニット98は、降圧デューティサイクル d_A と、昇圧デューティサイクル d_B と、バッファデューティサイクル d_C とに基づいてパルス幅変調を行い、降圧回路スイッチング信号 S_A と、昇圧回路スイッチング信号 S_B と、第1バッファスイッチング信号 S_{C1} と、第2バッファスイッチング信号 S_{C2} とを生成する。PWMユニット98は、降圧回路スイッチング信号 S_A を降圧回路20に、昇圧回路スイッチング信号 S_B を昇圧回路50に、第1バッファスイッチング信号 S_{C1} と第2バッファスイッチング信号 S_{C2} とをバッファ回路40に、それぞれ出力する。

[0051] 本実施の形態によれば、電解コンデンサを必要とすることなく、単相AC電力から所望の大きさのDC電力を生成することができる。

[0052] バッファ回路40のスイッチ T_{C1} および T_{C2} は、GaN、SiCなどのWBG半導体で実現されてもよい。WBG半導体のスイッチング速度は、従来のSiベースのMOS-FETに比べて約10倍速い。従って、バッファ回路40のスイッチ T_{C1} および T_{C2} をWBG半導体とすることにより、高周波

数の単相AC電力から所望の大きさのDC電力を生成することができる。

[0053] バッファ回路は、スイッチ T_{C1} およびスイッチ T_{C3} を含んで構成される前段側ハーフブリッジと、スイッチ T_{C2} およびスイッチ T_{C4} を含んで構成される後段側ハーフブリッジとを、間にコンデンサ C_C を挟んで組み合わせた非対称のフルブリッジ回路を備えるものであってもよい。すなわちバッファ回路は、バッファ回路40のダイオード D_{C1} に代えて T_{C3} を含み、ダイオード D_{C2} に代えてスイッチ T_{C4} を含むものであってもよい。図15に、このようにして構成されたバッファ回路48を模式的に示す。バッファ回路48は、バッファ回路40と同様に、スイッチ T_{C1} 、 T_{C2} 、 T_{C3} および T_{C4} のONおよびOFFの組み合わせによって、前述の4種類の電流制御を実現できる。さらにダイオードの代わりにスイッチを用いることで、より高速のスイッチングを行うことができる。この構成によれば、より高周波数の単相AC電力から所望の大きさのDC電力を生成することができる。

[0054] バッファ回路は、図1のバッファ回路40にハーフブリッジを並列に追加したものであってもよい。図16に、このようにして構成されたバッファ回路49aを模式的に示す。バッファ回路49aは、ダイオード D_{C11} 、 D_{C12} 、 \dots 、 D_{C1n} およびスイッチ T_{C11} 、 T_{C12} 、 \dots 、 T_{C1n} を含んで構成される前段側ハーフブリッジと、ダイオード D_{C21} 、 D_{C22} 、 \dots 、 D_{C2n} およびスイッチ T_{C21} 、 T_{C22} 、 \dots 、 T_{C2n} を含んで構成される後段側ハーフブリッジとを、間にコンデンサ C_C を挟んで組み合わせた非対称のフルブリッジ回路を備える。ただし n は2以上の整数である。すなわちバッファ回路49aは、バッファ回路40に、前段側ハーフブリッジと後段側ハーフブリッジをそれぞれ n 個ずつ並列に追加した構成となっている。バッファ回路49aも、バッファ回路40と同様に、スイッチ T_{C11} 、 T_{C12} 、 \dots 、 T_{C1n} 、 T_{C21} 、 T_{C22} 、 \dots 、 T_{C2n} のONおよびOFFの組み合わせによって、前述の4種類の電流制御を実現できる。バッファ回路49aは、前段側ハーフブリッジと後段側ハーフブリッジにハーフブリッジを並列に追加したことにより各スイッチのスイッチング負荷を低減することができる。従って各スイッチのスイッチン

グ速度は、バッファ回路40のスイッチより遅くてもよい。この構成によれば、比較的速度の遅いスイッチを用いて、高周波数の単相AC電力から所望の大きさのDC電力を生成することができる。

[0055] バッファ回路は、図15のバッファ回路48にハーフブリッジを並列に追加したものであってもよい。図17に、このようにして構成されたバッファ回路49bを模式的に示す。バッファ回路49bは、スイッチ T_{C11} 、 T_{C12} 、 \dots 、 T_{C1n} 、 T_{C31} 、 T_{C32} 、 \dots 、 T_{C3n} を含んで構成される前段側ハーフブリッジと、スイッチ T_{C21} 、 T_{C22} 、 \dots 、 T_{C2n} 、 T_{C41} 、 T_{C42} 、 \dots 、 T_{C4n} を含んで構成される後段側ハーフブリッジとを、間にコンデンサ C_C を挟んで組み合わせた非対称のフルブリッジ回路を備える。ただし n は2以上の整数である。すなわちバッファ回路49bは、バッファ回路48に、前段側ハーフブリッジと後段側ハーフブリッジをそれぞれ n 個ずつ並列に追加した構成となっている。バッファ回路49bも、バッファ回路48と同様に、スイッチ T_{C11} 、 T_{C12} 、 \dots 、 T_{C1n} 、 T_{C31} 、 T_{C32} 、 \dots 、 T_{C3n} 、 T_{C21} 、 T_{C22} 、 \dots 、 T_{C2n} 、 T_{C41} 、 T_{C42} 、 \dots 、 T_{C4n} のONおよびOFFの組み合わせによって、前述の4種類の電流制御を実現できる。バッファ回路49bは、前段側ハーフブリッジと後段側ハーフブリッジにハーフブリッジを並列に追加したことにより各スイッチのスイッチング負荷を低減することができる。従って各スイッチのスイッチング速度は、バッファ回路48のスイッチより遅くてもよい。この構成によれば、比較的速度の遅いスイッチを用いて、より高周波数の単相AC電力から所望の大きさのDC電力を生成することができる。

[0056] [第2実施の形態]

図18は、第2実施の形態に係るDC-DCコンバータ300の機能ブロック図である。DC-DCコンバータ300は、DC電源3からの電力を別のDC電力に変換するコンバータとして機能する。変換されたDC電力は、直接、またはインバータにより三相AC電力に変換され、例えばポンプ、コンプレッサ、船や飛行機の電動アクチュエータ、ロボットアームなど多様な

装置を駆動するために使用される。DC-DCコンバータ300は、降圧回路20と、インダクタ30と、バッファ回路42と、昇圧回路50と、制御部90とを備える。DC-DCコンバータ300は、整流回路10を含まない点でAC-DCコンバータ100と異なる。降圧回路20、インダクタ30、昇圧回路50および制御部90の構成と動作はAC-DCコンバータ100のものと同じであるので、説明を省略する。

[0057] バッファ回路42は、ダイオードDC1およびスイッチTC1を含んで構成される前段側ハーフブリッジと、ダイオードDC2およびスイッチTC2を含んで構成される後段側ハーフブリッジとを、間にコンデンサCCを挟んで組み合わせた、非対称のフルブリッジ回路を備える。AC-DCコンバータ100では、商用単相AC電源から入力周波数50-60kHzの入力電圧が入力する。この場合、バッファ回路40のスイッチTC1、TC2は10kHz-100kHzのスイッチング周波数で動作する。これに対し、DC電源から供給されるDC電力は、AC電力のような振幅の大きな脈動は含まないが、リップルと呼ばれる振幅の小さい波形の乱れを含む。リップルの周波数は通常100kHz-200kHzである。従ってこのリップルを補償するために、バッファ回路42のスイッチTC1、TC2はリップル周波数の約10倍、すなわち1MHz-2MHzのスイッチング周波数で動作する。このためバッファ回路42のスイッチTC1、TC2は、例えばGaN、SiCなどの高速のWBG半導体で構成される。

[0058] 本実施の形態によれば、電解コンデンサを必要とすることなく、DC電源からのDC電力からリップルを補償して、所望の大きさのDC電力を生成することができる。

[0059] [第3実施の形態]

図19は、第3実施の形態に係るAC-ACコンバータ400の機能ブロック図である。

AC-ACコンバータ400は、単相AC電源2からの電力を三相AC電力に変換するコンバータとして機能する。変換された三相AC電力は、例えば

ポンプ、コンプレッサ、船や飛行機の電動アクチュエータ、ロボットアームなど多様な装置を駆動するために使用される。AC-ACコンバータ400は、整流回路10と、降圧回路20と、インダクタ30と、バッファ回路40と、昇圧回路50と、インバータ60と、制御部90とを備える。整流回路10、降圧回路20、インダクタ30、バッファ回路40、昇圧回路50および制御部90の構成と動作はAC-DCコンバータ100のものと同一であるので、説明を省略する。

[0060] インバータ60は、DCリンク電圧 v_{PN} から三相AC電圧を生成する。インバータ60は公知技術を用いて実現されてよい。三相AC電圧は、例えばU相、V相およびW相からなり、 $2\pi/3$ の位相差で交番するものである。

[0061] 本実施の形態によれば、電解コンデンサを必要とすることなく、単相AC電力から所望の大きさの三相AC電力を生成することができる。

[0062] 以上、本発明の実施の形態を基に説明した。この実施の形態は例示であり、種々の変形および変更が本発明の特許請求の範囲内で可能なこと、またそうした変形例および変更も本発明の特許請求の範囲にあることは当業者に理解されるところである。従って、本明細書での記述および図面は限定的ではなく例証的に扱われるべきものである。

[0063] 以下、変形例について説明する。変形例の図面および説明では、実施の形態と同一または同等の構成要素、部材には、同一の符号を付する。実施の形態と重複する説明を適宜省略し、実施の形態と相違する構成について重点的に説明する。

[0064] (第1変形例)

第1実施の形態では、AC-DCコンバータは、ダイオードの後段にバッファ回路を1つ備えるものであった。これに限られず、AC-DCコンバータは、ダイオードの後段に複数のバッファ回路を備えるものであってもよい。本変形例によれば、各バッファ回路の処理負荷を低減できるので、より高周波数の単相AC電力から所望の大きさのDC電力を生成することができる。

[0065] (第2変形例)

第1実施の形態では、AC-DCコンバータは、入力電圧の周波数の2倍の周波数で振動する入力電圧の脈動を補償するものであった。これに限られず、AC-DCコンバータは、入力電圧周波数の4倍(2次高周波)、8倍(4次高周波)、12倍(6次高周波)といった、入力電力脈動の高周波成分を補償してもよい。本変形例によれば、入力電力の高周波ノイズを抑制できるので、より平滑なDC電力を得ることができる。

産業上の利用可能性

[0066] 本発明は、電力を変換するAC-DCコンバータ、DC-DCコンバータおよびAC-ACコンバータに関する。

符号の説明

[0067] 2・・・単相AC電源、 3・・・DC電源、 10・・・整流回路、 20・・・降圧回路、 30・・・インダクタ、 40・・・バッファ回路、 42・・・バッファ回路、 48・・・バッファ回路、 49a・・・バッファ回路、 49b・・・バッファ回路、 50・・・昇圧回路、 60・・・インバータ、 90・・・制御部、 92・・・バッファ電圧制御部、 94・・・DCリンク電圧制御部、 96・・・インダクタ電圧制御部、 98・・・PWMユニット、 100・・・AC-DCコンバータ、 110・・・AC-DCコンバータ、 300・・・DC-DCコンバータ、 400・・・AC-ACコンバータ

請求の範囲

- [請求項1] AC電圧を整流して整流電圧を生成する整流回路と、
前記整流電圧を降圧する降圧回路と、
インダクタと、
第1ダイオードおよび第1スイッチを含んで構成される前段側ハーフブリッジと第2ダイオードおよび第2スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え前記整流電圧からDC電圧を生成するバッファ回路と、
前記バッファ回路の電圧を昇圧する昇圧回路と
を備えるAC-DCコンバータ。
- [請求項2] 前記第1スイッチおよび前記第2スイッチは、WBG半導体である
請求項1に記載のAC-DCコンバータ。
- [請求項3] 並列に接続された複数の前段側ハーフブリッジと、並列に接続された複数の後段側ハーフブリッジとを備える請求項1に記載のAC-DCコンバータ。
- [請求項4] AC電圧を整流して整流電圧を生成する整流回路と、
前記整流電圧を降圧する降圧回路と、
インダクタと、
第1スイッチおよび第3スイッチを含んで構成される前段側ハーフブリッジと第2スイッチおよび第4スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え前記整流電圧からDC電圧を生成するバッファ回路と、
前記バッファ回路の電圧を昇圧する昇圧回路と
を備えるAC-DCコンバータ。
- [請求項5] 第1のDC電圧を降圧する降圧回路と、
インダクタと、

第1ダイオードおよび第1スイッチを含んで構成される前段側ハーフブリッジと第2ダイオードおよび第2スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え前記第1のDC電圧から第2のDC電圧を生成するバッファ回路と、

前記バッファ回路の電圧を昇圧する昇圧回路とを備えるDC-DCコンバータ。

[請求項6]

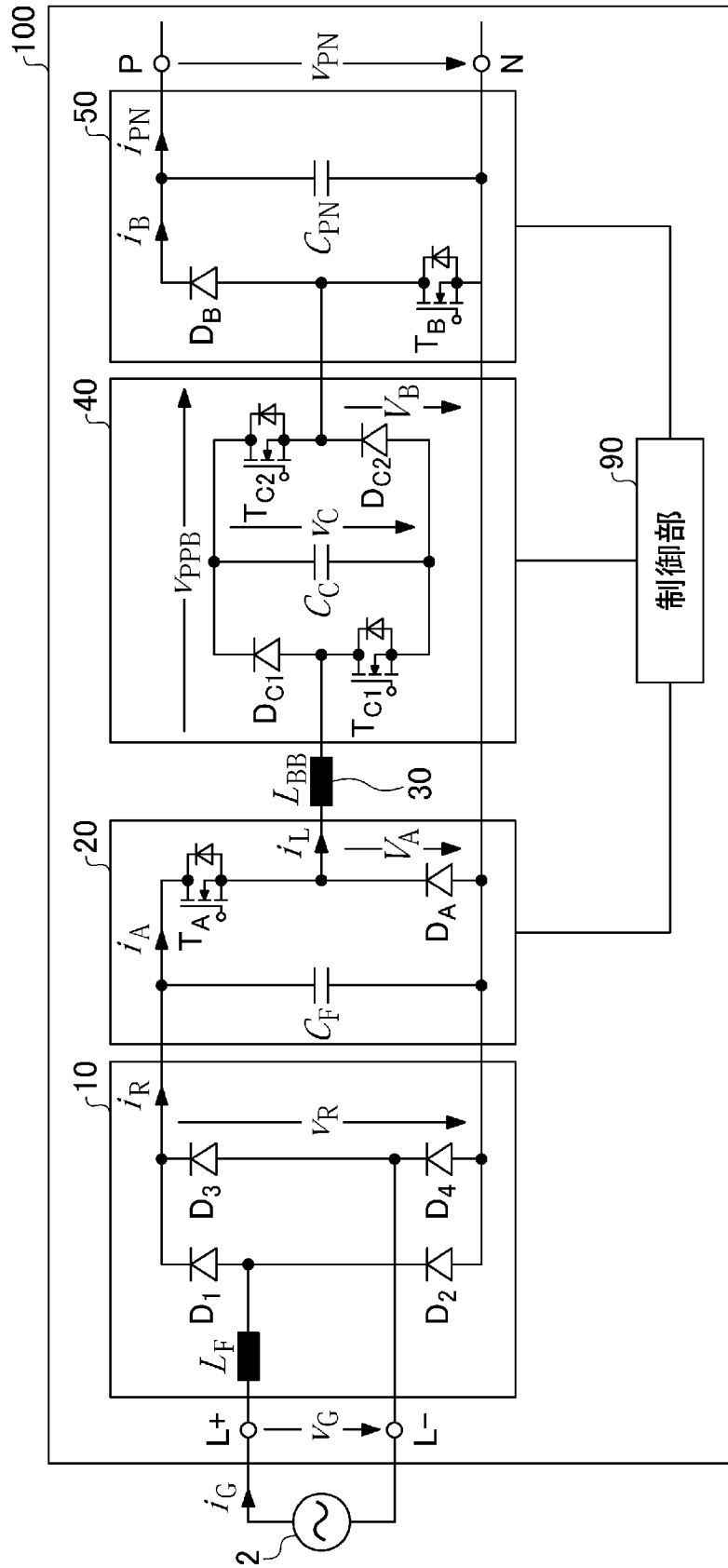
第1のAC電圧を整流して整流電圧を生成する整流回路と、前記整流電圧を降圧する降圧回路と、インダクタと、

第1ダイオードおよび第1スイッチを含んで構成される前段側ハーフブリッジと第2ダイオードおよび第2スイッチを含んで構成される後段側ハーフブリッジとを間にコンデンサを挟んで組み合わせた非対称のフルブリッジ回路を備え前記第1のAC電圧からDC電圧を生成するバッファ回路と、

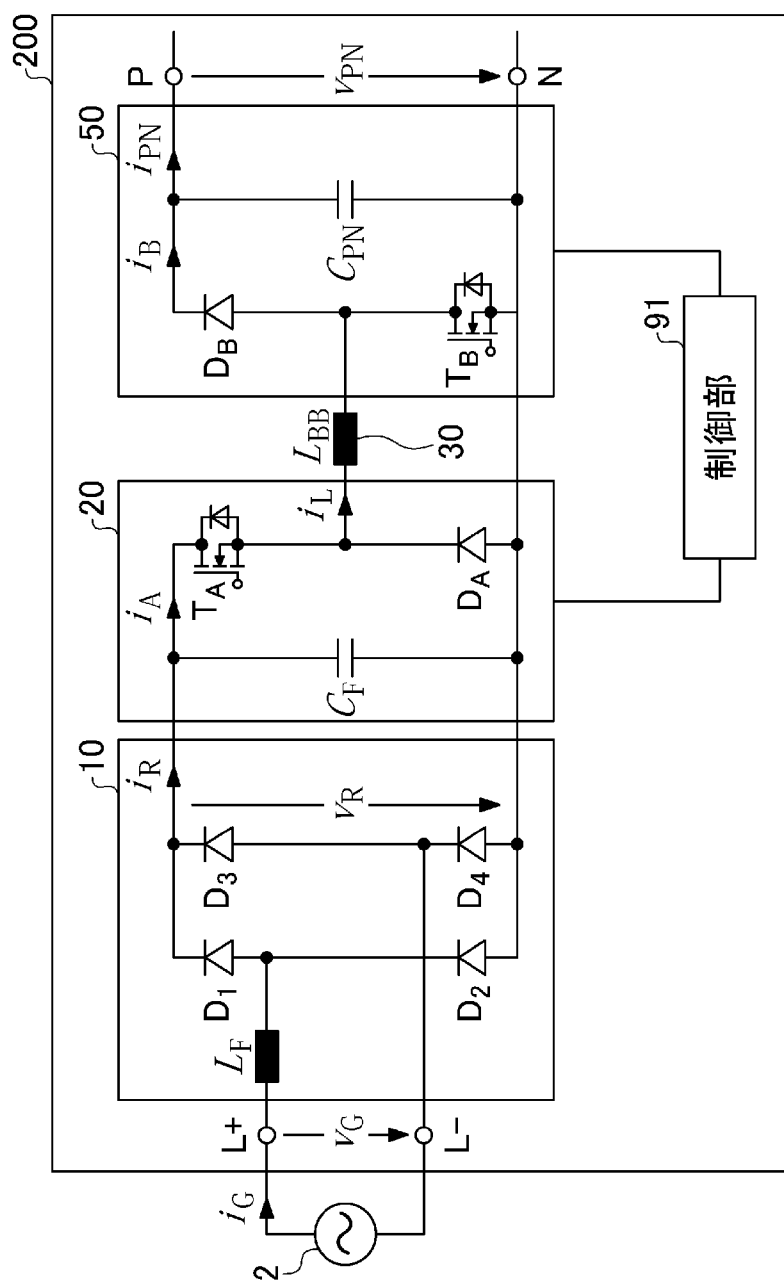
前記バッファ回路の電圧を昇圧する昇圧回路と、

前記DC電圧を第2のAC電圧に変換するインバータとを備えるAC-ACコンバータ。

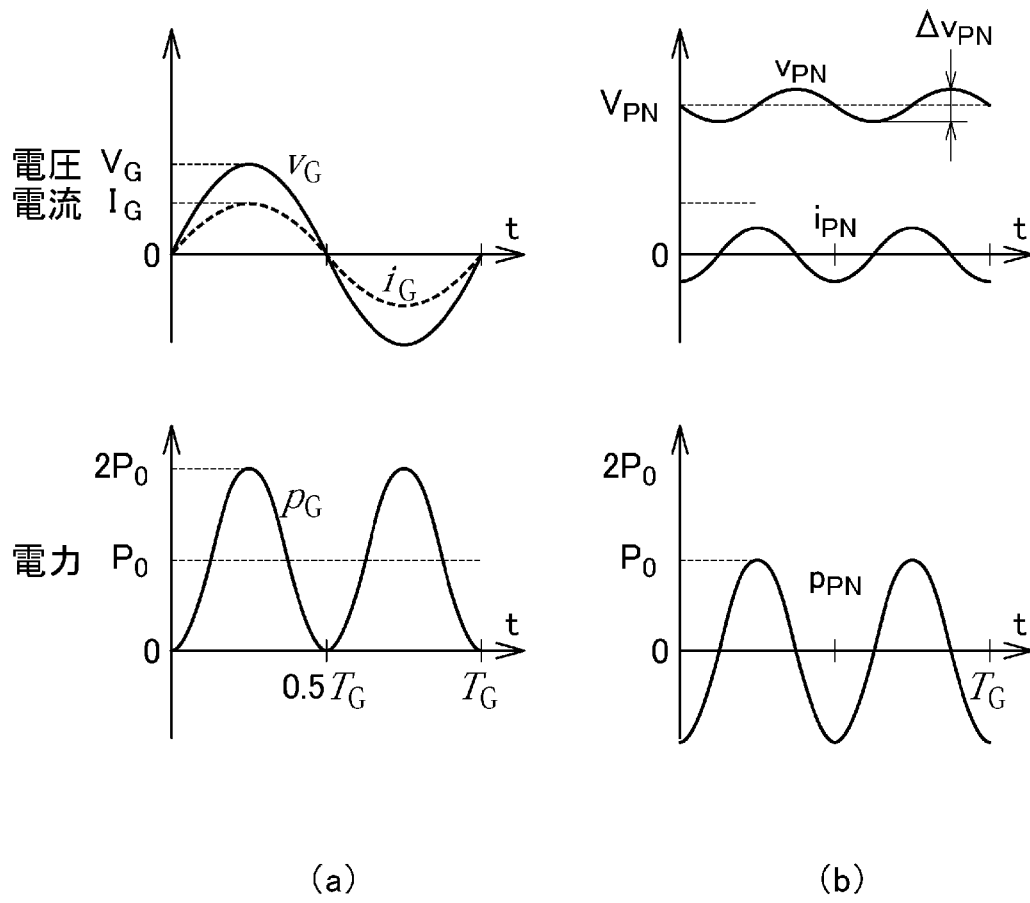
[図1]



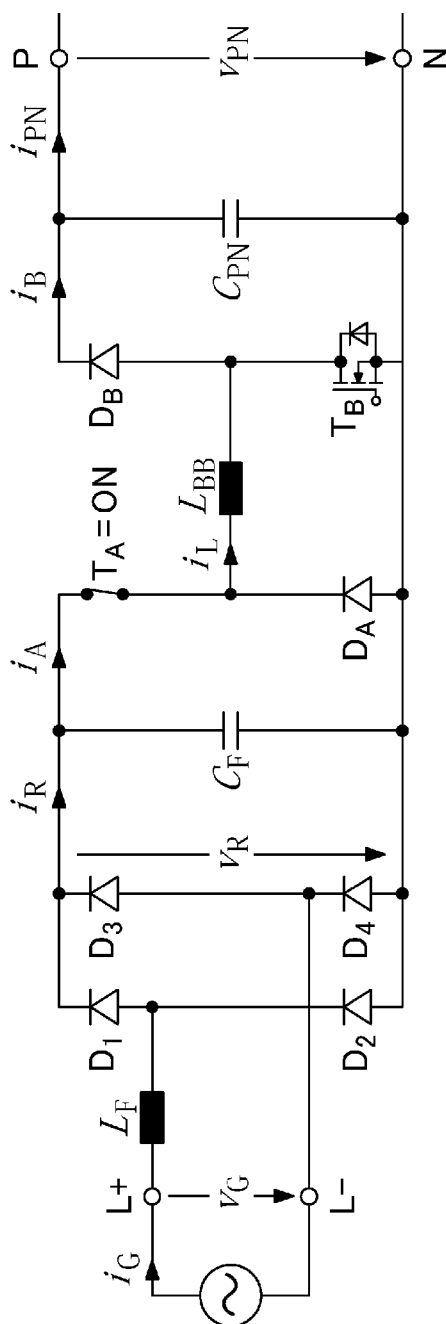
[図2]



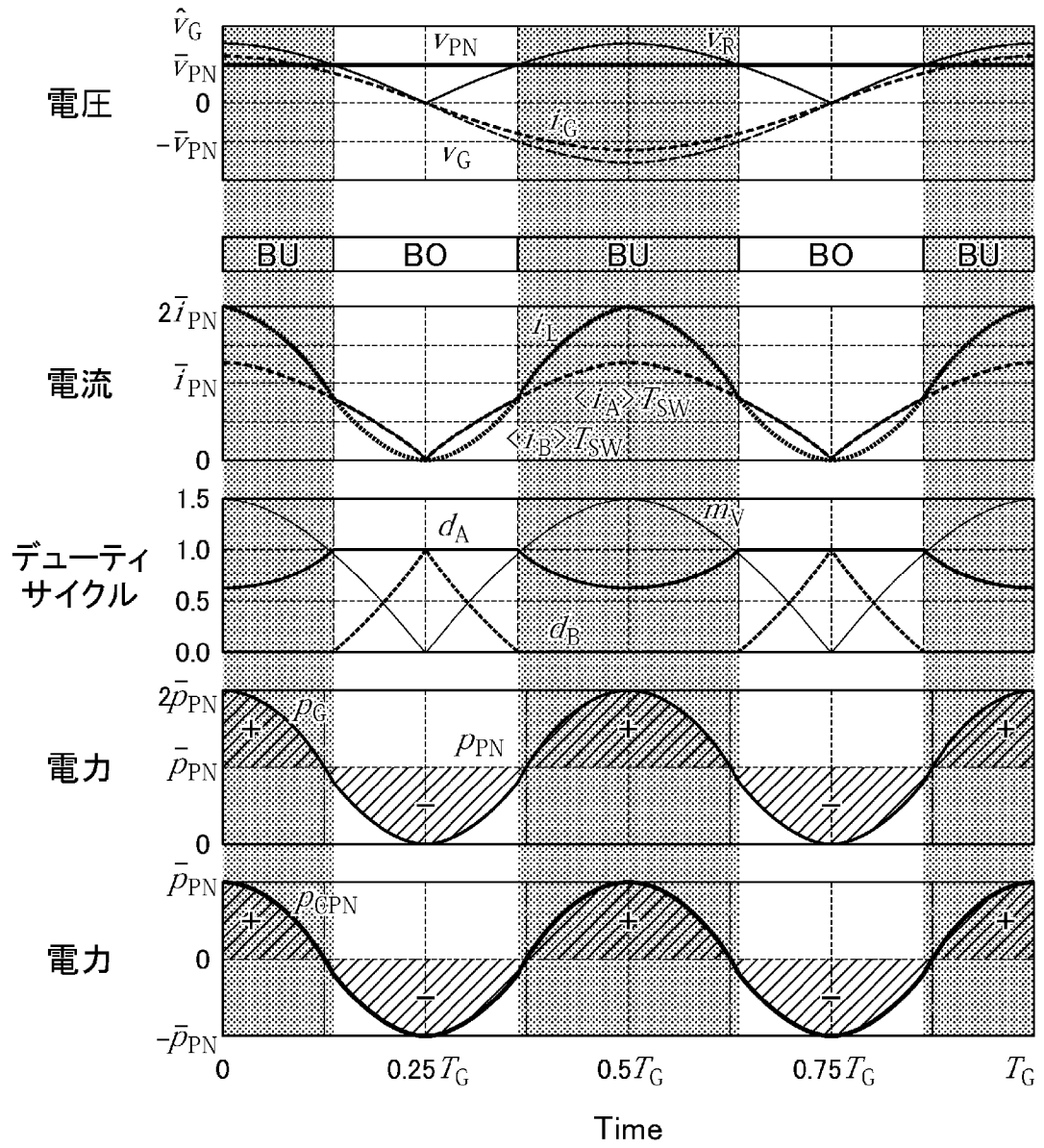
[図3]



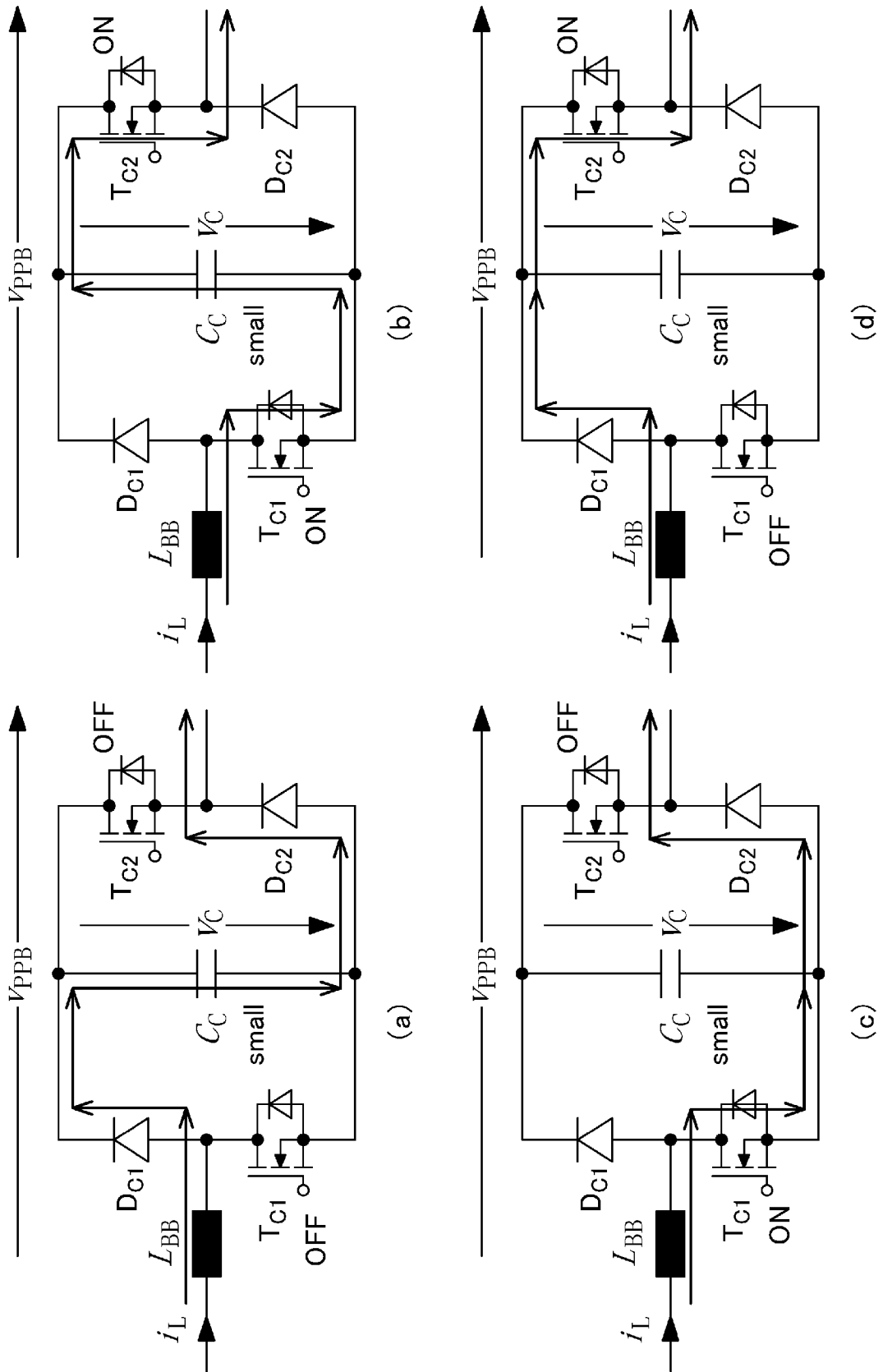
[図4]



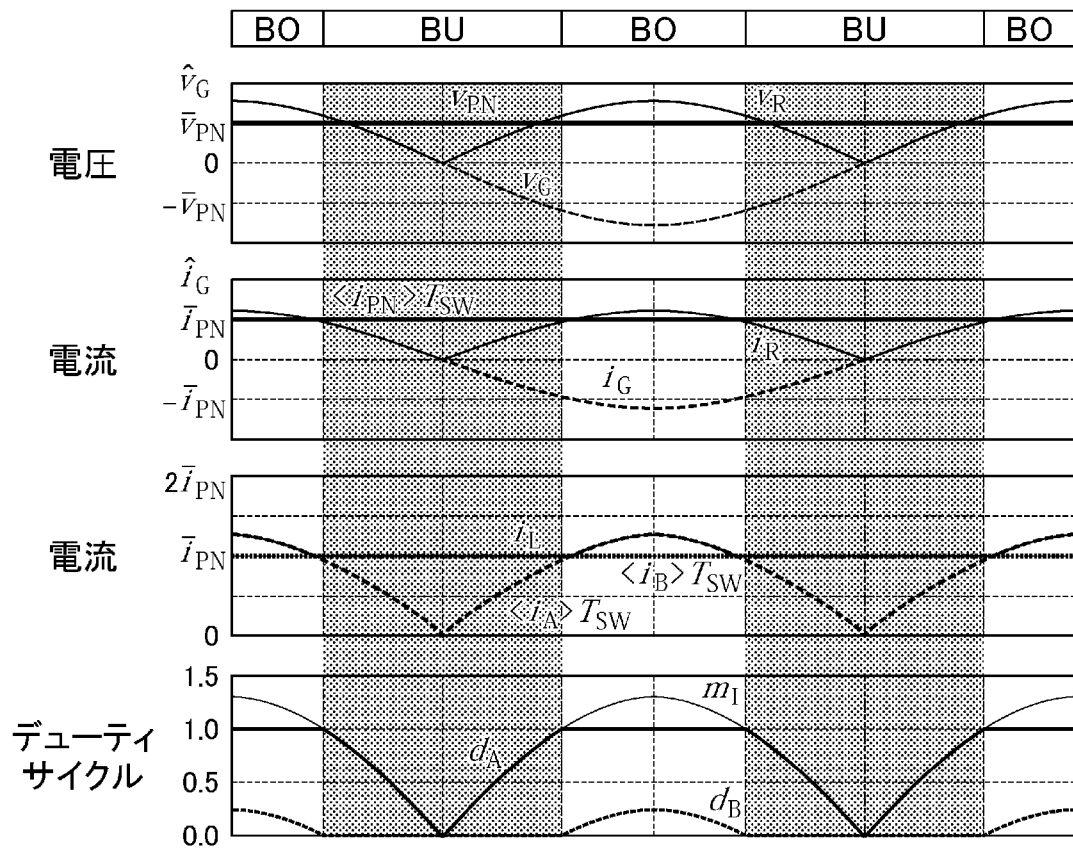
[図5]



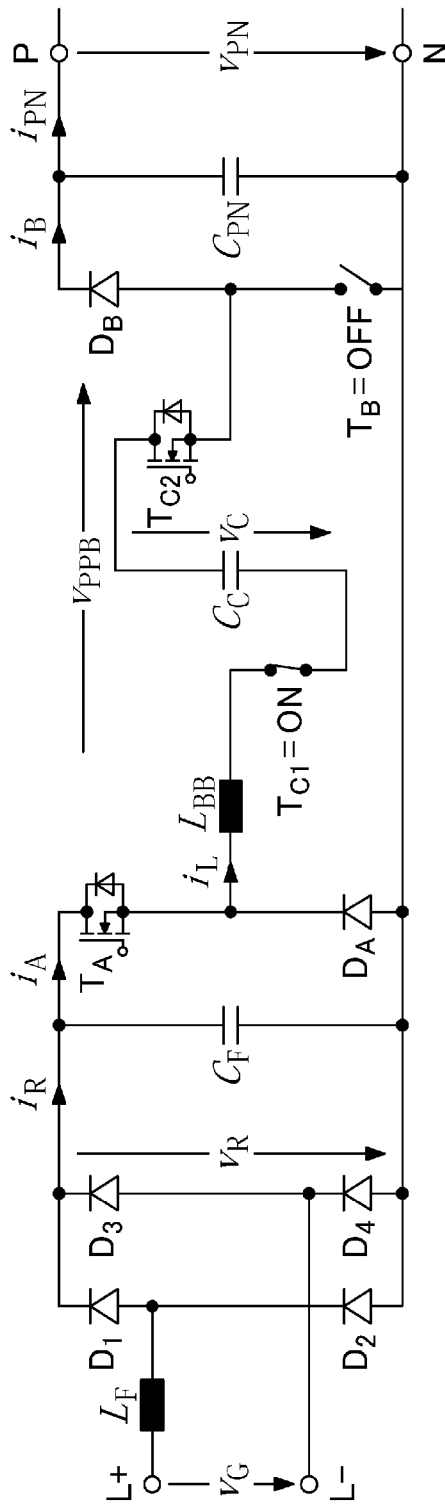
[図8]



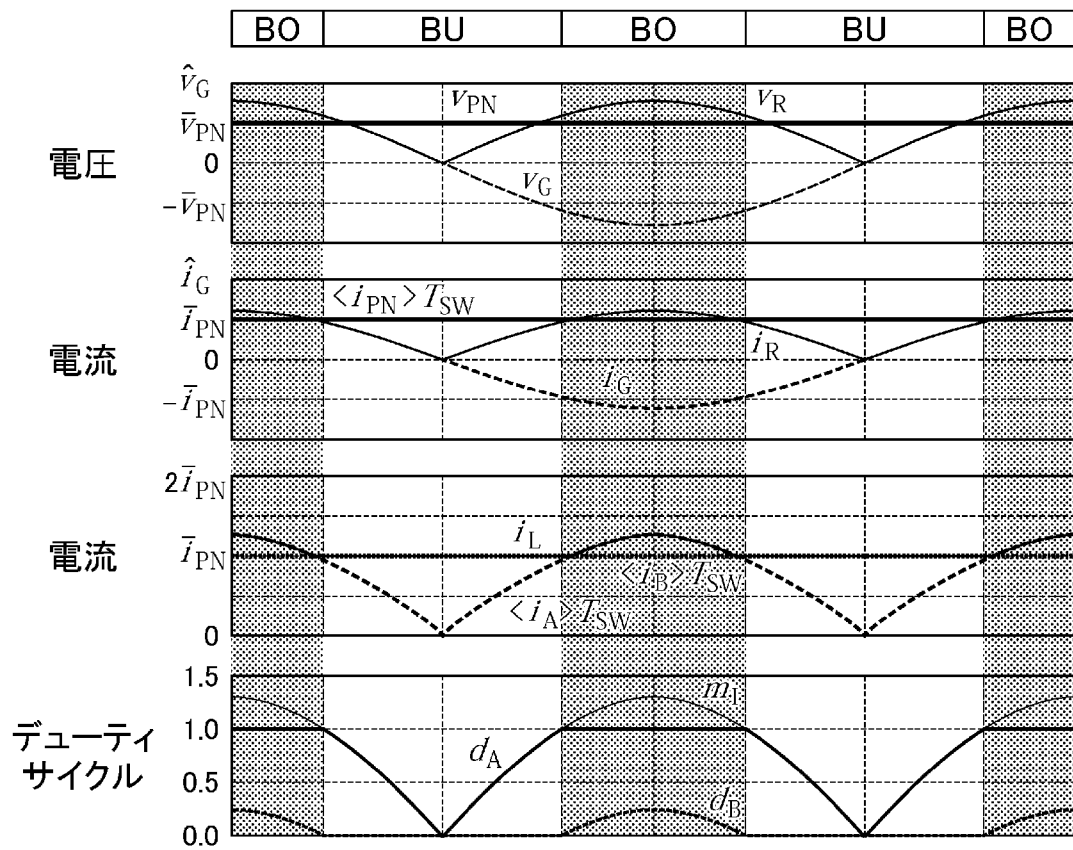
[図10]



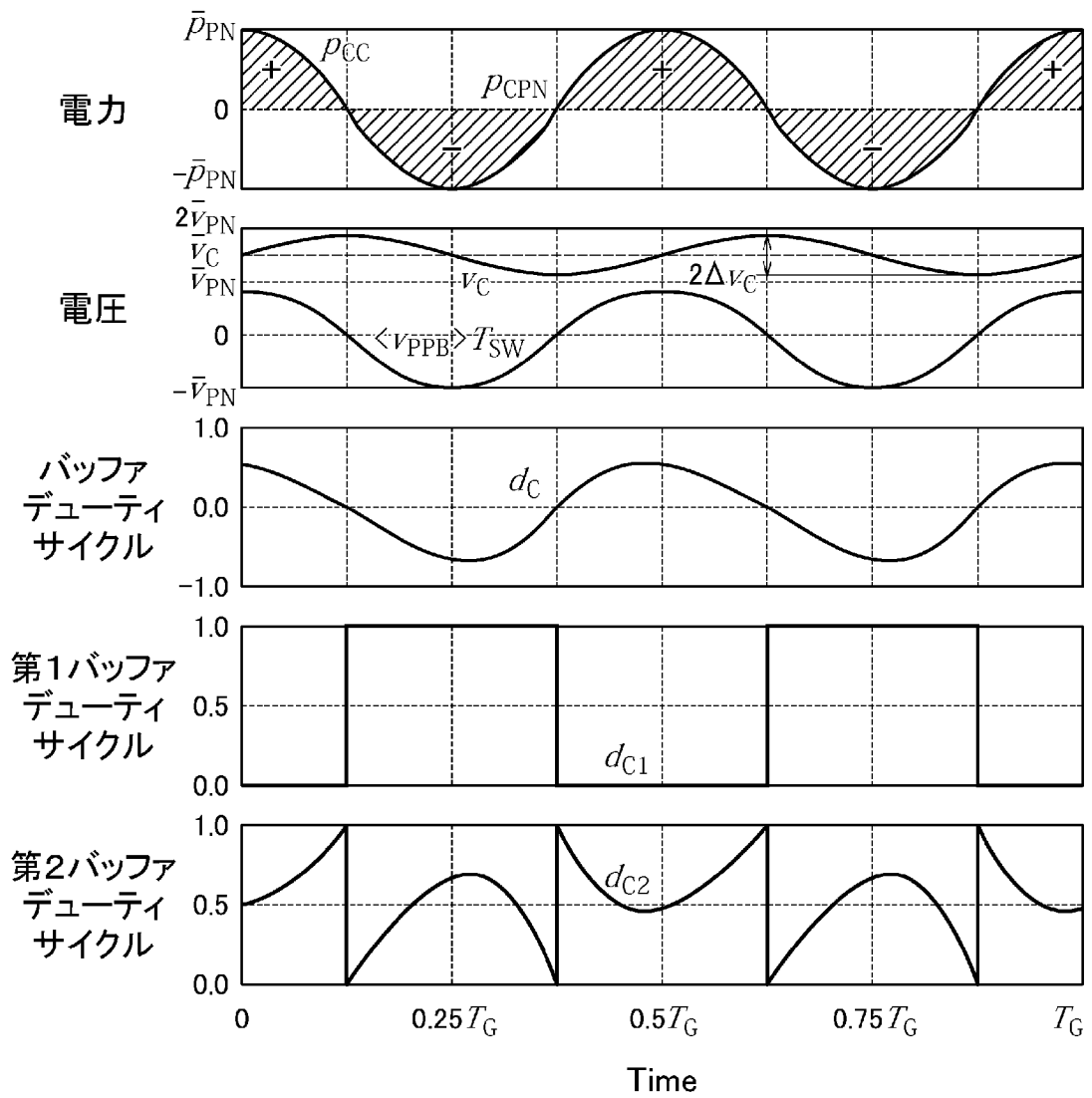
[図11]



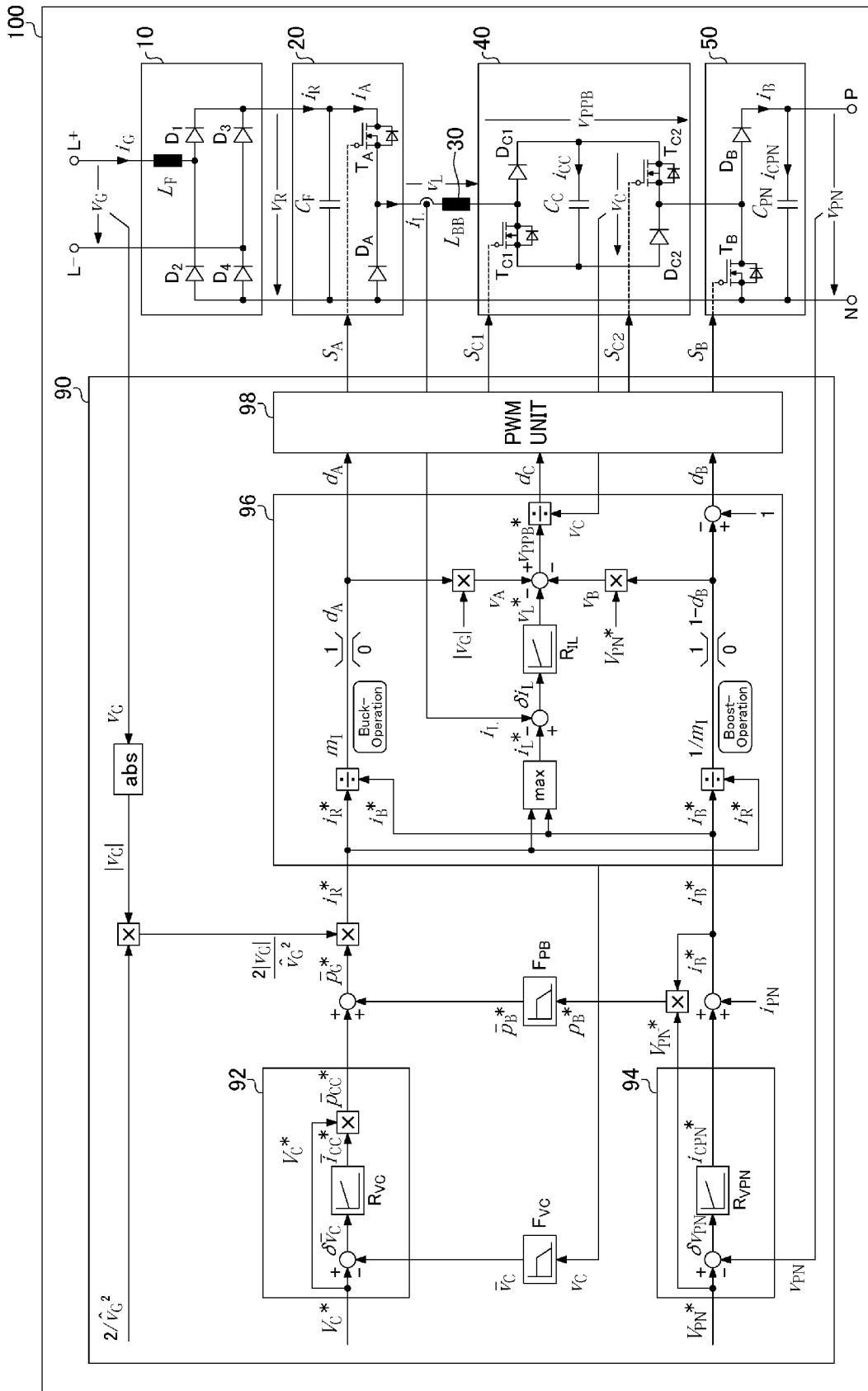
[図12]



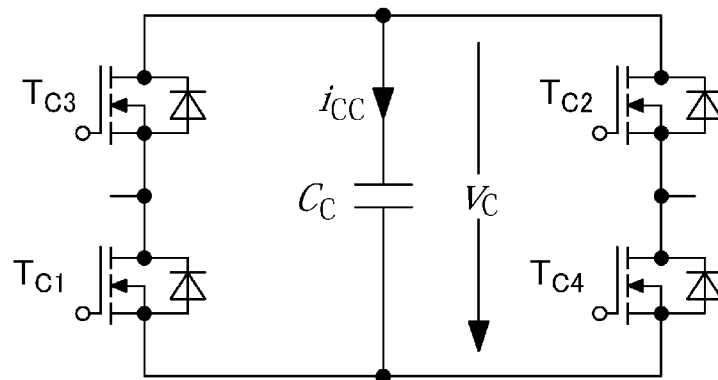
[図13]



[図14]

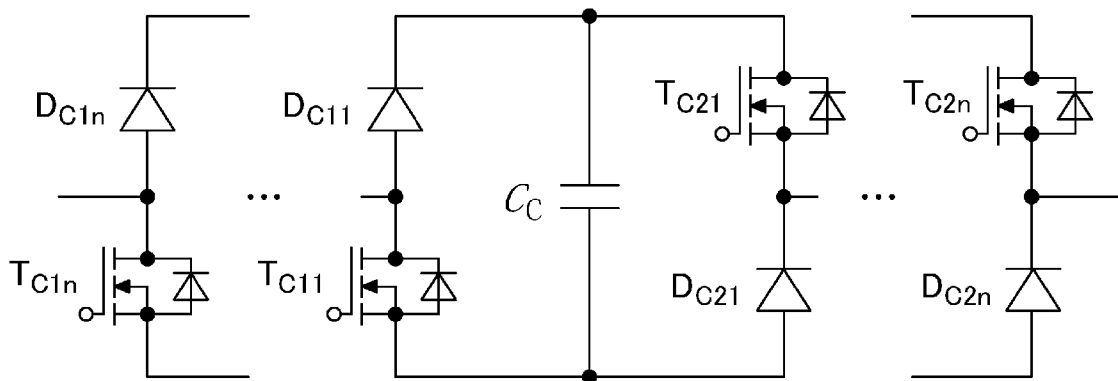


[図15]



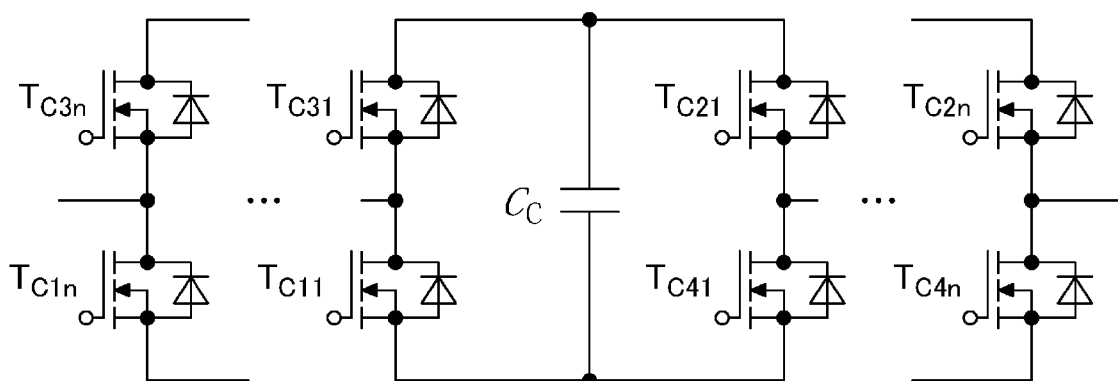
48

[図16]



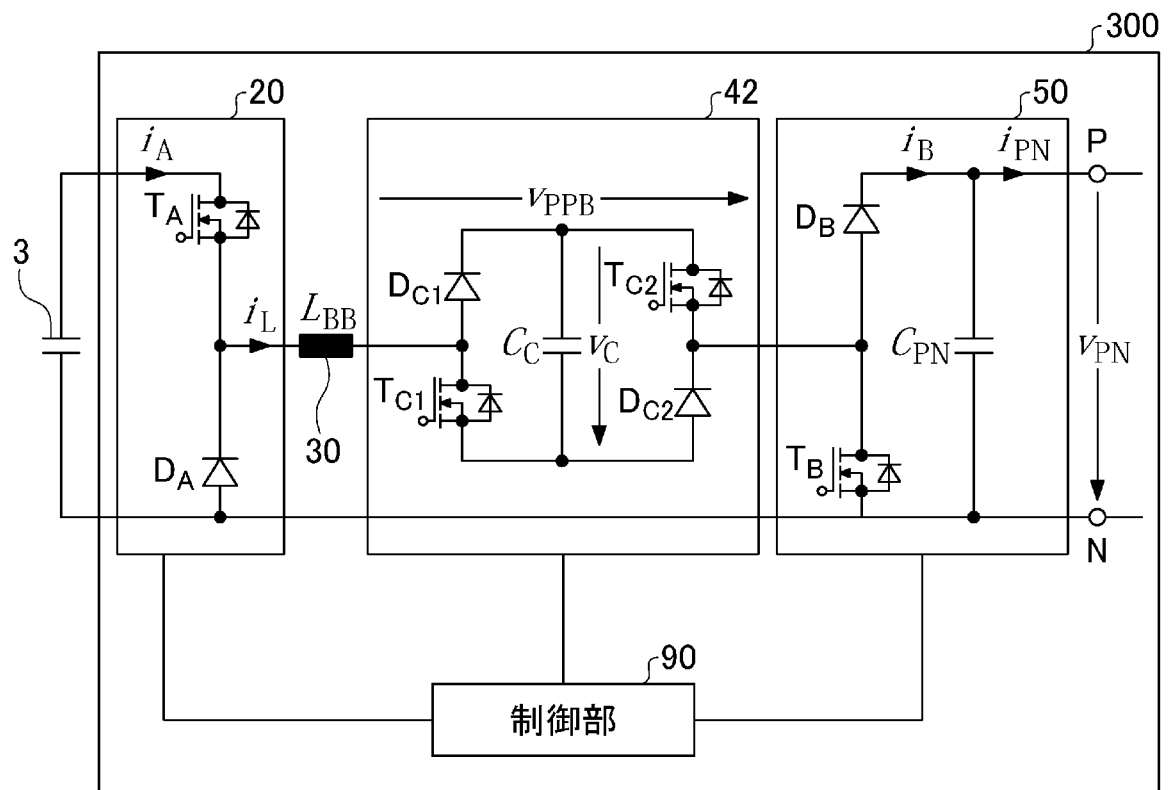
49a

[図17]

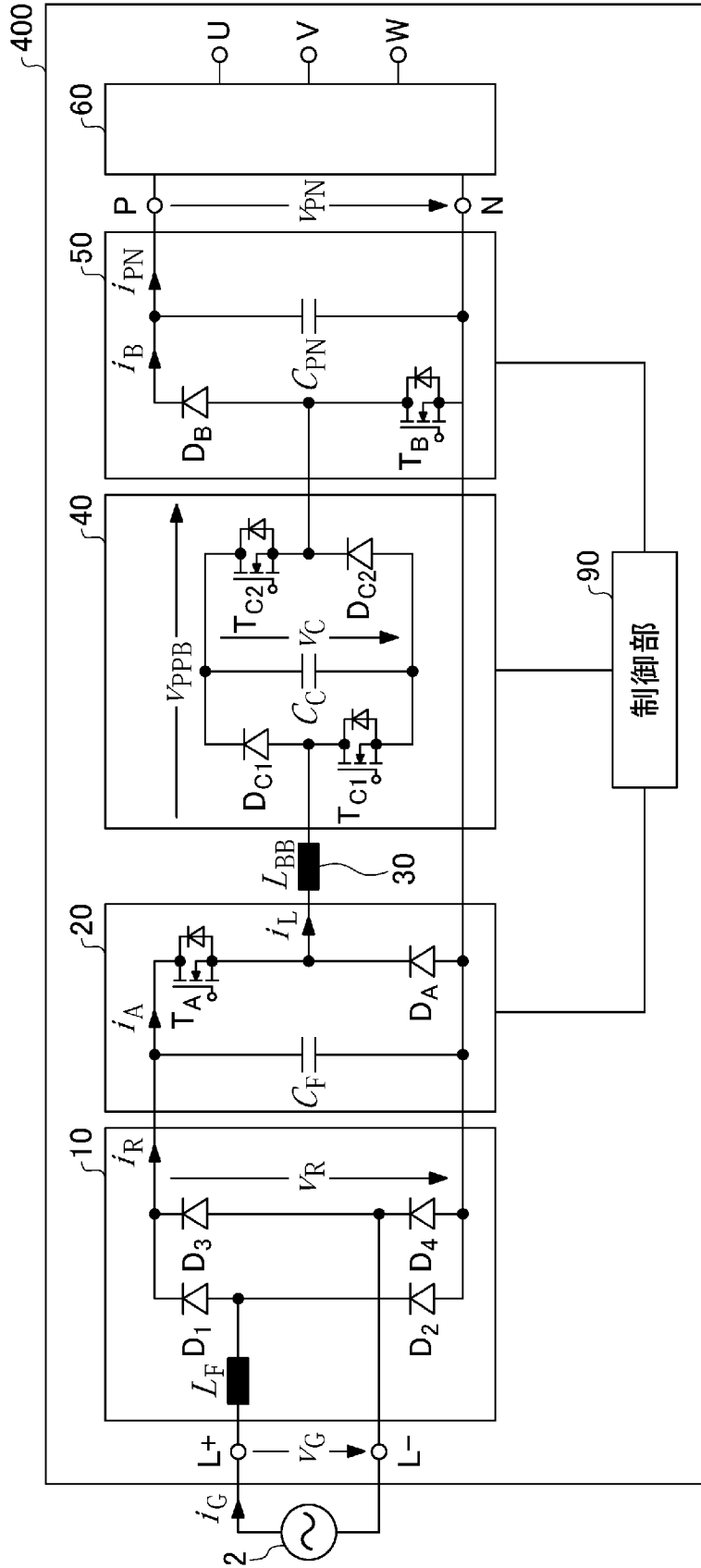


49b

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040434

A. CLASSIFICATION OF SUBJECT MATTER H02M 3/155(2006.01)i; H02M 5/293(2006.01)i; H02M 7/12(2006.01)i FI: H02M7/12 A; H02M3/155 H; H02M5/293 Z According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M3/155; H02M5/293; H02M7/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-23697 A (MITSUBISHI ELECTRIC CORP.) 02.02.2015 (2015-02-02) paragraphs [0015]-[0099], fig. 1	1-6
X	JP 2009-95160 A (MITSUBISHI ELECTRIC CORP.) 30.04.2009 (2009-04-30) paragraphs [0009]-[0018], fig. 1, 3, 4, 5	1-6
A	WO 2010/010710 A1 (MITSUBISHI ELECTRIC CORP.) 28.01.2010 (2010-01-28) entire text, all drawings	1-6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 January 2020 (09.01.2020)		Date of mailing of the international search report 21 January 2020 (21.01.2020)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/040434

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2015-23697 A	02 Feb. 2015	(Family: none)	
JP 2009-95160 A	30 Apr. 2009	(Family: none)	
WO 2010/010710 A1	28 Jan. 2010	US 2011/0121661 A1 entire text, all drawings CN 103038990 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i; H02M 5/293(2006.01)i; H02M 7/12(2006.01)i FI: H02M7/12 A; H02M3/155 H; H02M5/293 Z</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC）） H02M3/155; H02M5/293; H02M7/12</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2020年									
日本国実用新案登録公報	1996 - 2020年									
日本国登録実用新案公報	1994 - 2020年									
<p>国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2015-23697 A（三菱電機株式会社）02.02.2015（2015-02-02） 段落15-99, 図1	1-6								
X	JP 2009-95160 A（三菱電機株式会社）30.04.2009（2009-04-30） 段落9-18, 図1, 3, 4, 5	1-6								
A	WO 2010/010710 A1（三菱電機株式会社）28.01.2010（2010-01-28） 全文, 全図	1-6								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>										
国際調査を完了した日	09.01.2020	国際調査報告の発送日 21.01.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 匡 5G 9650 電話番号 03-3581-1101 内線 3526									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/040434

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-23697 A	02.02.2015	(ファミリーなし)	
JP 2009-95160 A	30.04.2009	(ファミリーなし)	
WO 2010/010710 A1	28.01.2010	US 2011/0121661 A1 全文, 全図 CN 103038990 A	