

SCHWEIZERISCHE EIDGENOSSENSCHAFT
EIDGENÖSSISCHES INSTITUT FÜR GEISTIGES EIGENTUM

(11) **CH 710 661 B1**

(51) Int. Cl.: **H02M 3/158 (2006.01)**

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

(12) **PATENTSCHRIFT**

(21) Anmeldenummer: 00120/15

(22) Anmeldedatum: 29.01.2015

(43) Anmeldung veröffentlicht: 29.07.2016

(24) Patent erteilt: 15.04.2019

(45) Patentschrift veröffentlicht: 15.04.2019

(73) Inhaber:
ETH Zürich, ETH Transfer HG E 47-49 Rämistrasse 101
8092 Zürich ETH-Zentrum (CH)

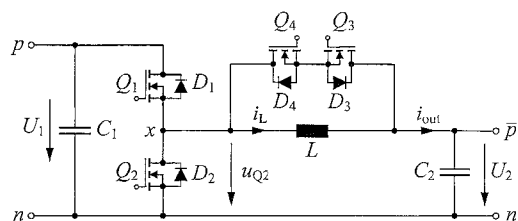
(72) Erfinder:
Dominik Bortis, 8052 Zürich (CH)
Johann Walter Kolar, 8044 Zürich (CH)

(74) Vertreter:
Frei Patentanwaltsbüro AG, Postfach
8032 Zürich (CH)

(54) **DC/DC-Konverter und Verfahren zur Steuerung eines weich schaltenden DC/DC-Konverters.**

(57) Ein erfindungsgemässer DC/DC-Konverter in Form eines Tiefsetzstellers, Hochsetzstellers oder Inverswandlers weist eine Wandlerinduktivität (L) und einen Induktivitätskurzschlusschalter (Q_3, Q_4, D_3, D_4) auf, welcher parallel zur Wandlerinduktivität (L) geschaltet ist. Der Induktivitätskurzschlusschalter (Q_3, Q_4, D_3, D_4) ist nach Stromrichtungen getrennt steuerbar.

In einem erfindungsgemässen Verfahren zum Betrieb des DC/DC-Konverters wird ein Zeitintervall, während dem der Induktivitätskurzschlusschalter (Q_3, Q_4, D_3, D_4) eingeschaltet ist, variiert, um eine Periodendauer respektive eine Schaltfrequenz, mit welcher der DC/DC-Konverter betrieben wird, zumindest annähernd konstant zu halten. Dabei werden die Schaltvorgänge so gesteuert, dass für alle Schaltelemente (Q_1, Q_2, Q_3, Q_4) jeweils weiche Schaltvorgänge («soft switching») resultieren.



Beschreibung

Stand der Technik

[0001] Das Bauvolumen von DC/DC-Konvertern, wie z.B. Tiefsetzstellern, wird massgeblich durch die passiven Komponenten, d.h. durch die Ausgangsinduktivität und die Ausgangskapazität, bestimmt. Aufgabe des Ausgangsfilters ist die Tiefpassfilterung der durch die Schaltstufe des Konverters erzeugten Spannung; entsprechend kann bei höherer Schaltfrequenz die Knickfrequenz des Filters erhöht und damit die Baugrösse der Filterelemente verringert werden. Allerdings wird der Erhöhung der Schaltfrequenz durch die mit der Frequenz steigenden Schaltverluste eine Grenze gesetzt. Bei hohen Taktfrequenzen werden daher bevorzugt weich schaltende Konverter eingesetzt, welche das gleichzeitige Auftreten von Strom und Spannung eines Schaltelementes vermeiden, d.h. vor dem Einschalten die Spannung über dem Schalter auf Null verringern (Zero Voltage Turn-on) oder beim Ausschalten die parasitäre Kapazität der Schaltelemente als Ausschaltentlastungskapazität nutzen, sodass der Spannungsanstieg über dem Schalter verzögert wird und der Strom im Schaltelement bereits unterbrochen ist, bevor die Spannung massgebliche Werte erreicht (Zero Voltage Turn-off). Insgesamt wird diese durch vernachlässigbare Schaltverluste gekennzeichnete Betriebsweise als Zero Voltage Switching (ZVS) bezeichnet.

[0002] Vorteilhaft wird ZVS durch entsprechende Steuerung der Konvertergrundstruktur, d.h. ohne Hilfsschalter, erreicht. Eine derartige Betriebsweise wird z.B. in der Schweizerischen Patentanmeldung CH 0 480/10 und dem schweizerischen Patent CH 701 856 (Anmeldenummer CH 1 451/09) beschrieben und ist durch einen dreieckförmigen Verlauf des Stromes in der Tiefsetzstellerinduktivität gekennzeichnet, wobei der Strom am Ende jeder Schaltperiode, d.h. am Ende des Ausschaltintervalls des Tiefsetzstellerschalters, einen geringfügig negativen Strom aufweist. Die Einstellung dieses Stromes wird durch einen antiparallel zur Freilaufdiode liegenden Schalter (Freilaufschalter) ermöglicht, welcher auch im Leitintervall der Diode durchgeschaltet ist und so eine Stromführung mit geringem Vorwärtsspannungsabfall bzw. eine Verringerung der Leitverluste ermöglicht (synchrone Gleichrichtung). Durch den negativen Strom wird nach dem Ausschalten die parasitäre Kapazität des Freilaufschalters bzw. der Freilaufdiode aufgeladen, bzw. die parasitäre Kapazität des Tiefsetzstellerschalters (z.B. einen Leistungs-MOSFETs) entladen und damit schliesslich Spannung Null am Tiefsetzstellerschalter erreicht, womit die parasitäre interne Diode des Leistungs-MOSFETs leitend wird und die Spannung auf Null klemmt, womit der Tiefsetzstellerschalter bzw. der Leistungs-MOSFET bei Spannung Null, d.h. ohne Verluste, eingeschaltet werden kann und der Strom in der Tiefsetzstellerinduktivität wieder ansteigt.

[0003] Allerdings tritt durch die Dreieckform des Stromes in der Tiefsetzstellerinduktivität eine relativ hohe Variation der Schaltfrequenz über dem Betriebsbereich auf, da zwar die Steilheit der steigenden und fallenden Flanke des Stromes durch die Differenz von Ein- und Ausgangsspannung bzw. durch die Ausgangsspannung definiert sind, der Spitzenwert des Stromes näherungsweise jedoch stets gleich dem zweifachen Ausgangstrommittelwert einzustellen ist, womit eine direkt von der Ausgangsleistung bestimmte Schaltfrequenzvariation resultiert. Insbesondere treten bei kleiner Ausgangsleistung kleine Stromspitzenwerte und damit aufgrund der festliegenden Stromsteilheiten sehr hohe Schaltfrequenzen auf. Andererseits sinkt die Schaltfrequenz bei hohen Leistungen auf tiefe Werte.

[0004] Zur Verringerung der Schaltfrequenzvariation ist bekannt, einen Kurzschlusschalter über der Tiefsetzstellerinduktivität anzuordnen, welcher erlaubt, den geringfügig negativen Umladestrom am Ende des Ausschaltintervalls für einen längeren Zeitabschnitt beizubehalten und so bei kleinen Ausgangsleistungen die Zunahme der Schaltfrequenz zu begrenzen. Der auch als Clamp-Switch oder Induktivitätskurzschlusschalter bezeichnete Schalter wird dabei gleichzeitig mit dem Abschalten des Freilaufschalters durchgeschaltet und damit die parasitäre Kapazität des Freilaufschalters und der Freilaufdiode hart auf die Ausgangsspannung aufgeladen, bzw. die parasitäre Kapazität des Clamp-Switch hart entladen. Der negative Strom der Ausgangsinduktivität zirkuliert dann über den Clamp-Switch, über der Induktivität liegt Spannung Null. Dieses Clamp-Intervall wird mit dem Abschalten des Clamp-Switch beendet. Der noch immer negative Strom lädt dann die Kapazität von Freilaufschalter und Freilaufdiode und des Clamp-Switch bzw. entlädt die Kapazität des Tiefsetzstellerschalters in Form einer Schwingung, bis Spannung Null über dem Tiefsetzstellerschalter auftritt und der Schalter, wie oben beschrieben, unter Spannung Null wieder einschaltet werden kann. Insgesamt kann durch Erhöhung der Länge des Clamp-Intervalls die Schaltfrequenz verringert und so auch bei kleinen Ausgangsleistungen eine niedrigere Schaltfrequenz sichergestellt werden. Allerdings steigt dabei der Spitzenwert des Stromes in der Induktivität, da der lokale Mittelwert des Stromes in der Tiefsetzstellerinduktivität gleich dem Ausgangsstrom sein muss. Festzuhalten ist, dass der Clamp-Switch hier nur für negativen Stromfluss geeignet sein muss, worauf in der Literatur jedoch nicht hingewiesen wird.

[0005] Aufgrund des Freilaufschalters kann der vorstehend beschriebene Tiefsetzsteller auch mit inverser Leistungsflussrichtung, d.h. mit negativem Strommittelwert in der Induktivität betrieben werden. Es tauschen dann Freilaufschalter und Tiefsetzstellerschalter ihre Funktion, und es liegt insgesamt Hochsetzstellerbetrieb vor, da nun ja Leistung von der niedrigen Ausgangsspannung in die höhere Eingangsspannung geliefert wird. Insgesamt liegt also ein bidirektionaler DC/DC-Konverter vor. Der Clamp-Switch muss demgemäss Ströme in beiden Richtungen führen und Spannungen in beiden Richtungen sperren können, d.h. es ist ein Vierquadrantenschalter vorzusehen. Wird dieser Schalter in der vorstehend beschriebenen Form angesteuert, d.h. werden beide Transistoren im Abschaltzeitpunkt des Freilaufschalters gleichzeitig durchgeschaltet, tritt wie bereits oben erwähnt eine unmittelbare Entladung der parasitären Kapazität des Clamp-Switch und eine plötzliche Entladung der parasitären Kapazität des Tiefsetzstellerschalters von der vollen Eingangsspannung auf die Differenz von Ein- und Ausgangsspannung sowie eine plötzliche Aufladung der Ausgangskapazität des Freilaufschal-

ters auf die Ausgangsspannung auf. Hierdurch werden Schalterverluste verursacht und somit die eingangs erwähnte Schaltfrequenzerhöhung insgesamt begrenzt, bzw. elektromagnetische Störungen verursacht.

[0006] Aufgabe der Erfindung ist es daher, einen DC/DC-Konverter und ein Verfahren zu dessen Ansteuerung zu schaffen, sodass für Tief- oder Hochsetzstellerbetrieb weiches Schalten ermöglicht wird.

[0007] Der DC/DC-Konverter kann in Form eines Tiefsetzstellers, Hochsetzstellers oder Inverswandlers realisiert sein und weist eine Wandlerinduktivität auf, sowie einen Induktivitätskurzschlusschalter, welcher parallel zur Wandlerinduktivität geschaltet ist, und welcher nach Stromrichtungen getrennt steuerbar ist.

[0008] «Nach Stromrichtungen getrennt» bedeutet beispielsweise, dass als Teil des Induktivitätskurzschlusschalters Schalter vorliegen, mit denen selektiv und unabhängig voneinander gesteuert werden kann, ob ein Strom durch den Schalter in die eine Richtung oder in die Gegenrichtung fließen kann.

[0009] Im Verfahren zum Betrieb des DC/DC-Konverters wird ein Zeitintervall, während dem der Induktivitätskurzschlusschalter (Q3, Q4, D3, D4) eingeschaltet ist, variiert, um eine Periodendauer respektive eine Schaltfrequenz, mit welcher der DC/DC-Konverter betrieben wird, zumindest annähernd konstant zu halten oder einem vorgegebenen, z.B. zeitabhängigen Sollwertverlauf anzupassen. Dabei werden die Schaltvorgänge so gesteuert, dass jeweils weiche Schaltvorgänge («soft switching») resultieren.

[0010] Es kann eine Abfolge von Schaltvorgängen bestimmt und vorgegeben werden, wobei bei der Ausführung des Verfahrens aufgrund von Messungen des Stroms durch die Wandlerinduktivität, insbesondere von Nulldurchgängen desselben, die Schaltzeitpunkte bestimmt respektive die Schaltvorgänge ausgelöst werden können.

[0011] In Ausführungsformen der Erfindung sind die folgenden Aspekte realisiert:

- Der Clamp-Switch oder Induktivitätskurzschlusschalter ist durch einen Vierquadrantenschalter realisiert, der nach Stromrichtungen getrennt steuerbar ist (Monolithic Bidirectional Switch mit 2 Gates, Antiserienschaltung von zwei unidirektionalen Schaltern mit antiparallelen Freilaufdioden, Antiparallelschaltung von Halbleitern mit Reverse Blocking Charakteristik, z.B. Reverse Blocking IGBTs).
- Der Induktivitätskurzschlusschalter kann für bidirektionale Tiefsetzsteller (Buck-), Hochsetzsteller (Boost-), und Inverswandler (Buck-Boost-Converter) eingesetzt werden. Dabei weisen in allen diesen Varianten jeweils die Eingangsklemme/Ausgangsklemme und Bezugsspannungsschiene zueinander eingeprägte, z.B. durch Kondensatoren gestützte, Spannungen auf. Bei Tiefsetzsteller-Betrieb wird die Eingangsspannung zwischen Eingangsklemme und Bezugsspannungsschiene angelegt und die Ausgangsspannung tritt zwischen Ausgangsklemme und Bezugsspannungsschiene auf. Kehrt sich die Leistungsflussrichtung des Tiefsetzstellers um, d.h. wird Leistung vom Ausgang des Tiefsetzstellers an den Eingang zurückgespeist, liegt im Sinne der Spannungsübersetzung Hochsetzstellerbetrieb vor. Analog kann ein Hochsetzsteller mit Leistungsfluss entgegen der Spannungsübersetzungsrichtung als Tiefsetzsteller gesehen werden. Für Inverswandlerbetrieb wird die Eingangsspannung zwischen der Tiefsetzstellereingangsklemme (positiver Pol) und Tiefsetzstellerausgangsklemme (negativer Pol) angelegt und die Ausgangsspannung zwischen der Bezugsspannungsschiene (negativer Pol) und Ausgangsklemme des Tiefsetzstellers (positiver Pol) abgegriffen, die Ausgangsklemme stellt also den für Ein- und Ausgangskreis des Inverswandlers gemeinsamen Schaltungspunkt dar. Entsprechend sind typisch zwischen Ein- und Ausgangsklemme und Bezugsspannungsschiene und Ausgangsklemme Stützkondensatoren angeordnet.
- Für unidirektionale Schaltung ist ein vereinfachter Induktivitätskurzschlusschalter, gebildet aus der Serienschaltung einer Diode und eines Schalters, ausreichend. Auch in diesem Fall ist der Induktivitätskurzschlusschalter nach Stromrichtungen getrennt steuerbar.
- Die Schaltung wird modifiziert zu einem AC/DC-Wandler (beispielsweise für PFC, Power Factor Correction) oder zu einem AC/AC-Wandler. Auch in diesen Fällen kann ein Induktivitätskurzschlusschalter eingesetzt werden. Er kann insbesondere bei Vollast nur in der Umgebung der Nulldurchgänge mit breiter werdendem Aktivierungsintervall bei kleiner werdender Last betrieben werden.
- Betrieb des Induktivitätskurzschlusschalters bei DC/DC-Konvertern nur im Teillastbereich, bzw. bei DC/DC-Konvertern mit zeitlich veränderlicher Ein- und/oder Ausgangsspannung nur in jenen Bereichen, wo die Schaltfrequenz unzulässig hohe Werte erreichen würden.
- Wahl der Breite eines Ruheintervalls mit einem negativem Hilfsstrom durch den Induktivitätskurzschlusschalter derart, dass über einen gewissen Lastbereich oder einen Ein- und Ausgangsspannungsbereich nur eine relativ geringe Schaltfrequenzvariation auftritt, respektive eine Gesamtperiode der wiederholt durchgeführten Schaltvorgänge möglichst gleich bleibt.
- Einer der beiden Schalter des Induktivitätskurzschlusschalters kann für Synchrongleichrichtung des Induktivitätskurzschlusschalters eingeschaltet bleiben. Alternativ kann das Einschalten unterbleiben, um die Steuerung zu vereinfachen, bzw. kann bei nur unidirektionalem Leistungsfluss einer der beiden Schalter des Induktivitätskurz-

schlusschalters entfallen. In diesem Fall kann dann auch die antiparallele Diode zum anderen der beiden Schalter weggelassen werden.

[0012] Im Folgenden wird der Erfindungsgegenstand anhand von bevorzugten Ausführungsbeispielen, welche in den beiliegenden Zeichnungen dargestellt sind, näher erläutert. Es zeigen:

- Fig. 1 eine Ausführungsform einer erfindungsgemässen Schaltung;
- Fig. 2 Signalverläufe gemäss einem Steuerverfahren zum Betrieb der Schaltung; und
- Fig. 3 Signalverläufe gemäss einem modifizierten Steuerverfahren.

[0013] Die im Folgenden anhand eines Tiefsetzstellers beschriebenen Vorgänge und Prinzipien sind in gleicher Weise auf andere DC/DC-Konverter wie Hochsetzsteller und Inverswandler wie auch AC/DC-Wandler oder AC/AC-Wandler mit Induktivitätskurzschlusschaltern übertragbar. Zum Teil können die gleichen Abfolgen von Schaltvorgängen realisiert werden, in anderen Fällen führen analoge Überlegungen in einer dem Fachmann sofort ersichtlichen Weise zu anderen Abfolgen.

[0014] Die Schaltungsstruktur eines bidirektionalen DC/DC-Konverters mit Tiefsetzstellercharakteristik ist in Fig. 1 gezeigt. Für die weitere Beschreibung wird eine Leistungsflussrichtung vom Eingang mit Spannung $U_{pn} = U_1$ zum Ausgang mit Spannung $U_{\bar{p}n} = U_2 \leq U_1$ vorausgesetzt und das System demgemäss als Tiefsetzsteller bezeichnet. Für umgekehrte Leistungsflussrichtung (welche aufgrund der Bidirektionalität des Konverters auftreten kann), d.h. bei Leistungsrückspeisung bzw. Leistungslieferung vom Tiefsetzstellerausgang $\bar{p}n$ zum Tiefsetzstellereingang pn , liegt mit Rücksicht auf die Spannungsübersetzung und Leistungsflussrichtung eigentlich Hochsetzstellerbetrieb vor. Im Sinne einer einfacheren Beschreibung wird darauf jedoch nicht näher eingegangen, sondern stets nur von einem Tiefsetzsteller mit inverser Leistungsflussrichtung oder von Energierückspeisung des Tiefsetzstellers gesprochen, wenn Hochsetzstellerbetrieb vorliegt.

[0015] Die Schaltung weist eine Eingangskapazität C1, einen ersten und einen zweiten Schalter Q1, Q2 des Stellers, mit einer ersten und einer zweiten Freilaufdiode D1, D2, eine Wandlerinduktivität L, in diesem Fall auch Tiefsetzstellerinduktivität genannt, und eine Ausgangskapazität C2 auf. Die Tiefsetzstellerinduktivität L ist an einen Schaltungspunkt x zwischen dem ersten und zweiten Schalter Q1, Q2 angeschlossen.

[0016] Der erste Schalter Q1 ist zwischen den Schaltungspunkt x und eine Eingangsklemme p geschaltet. Der zweite Schalter Q2 ist zwischen den Schaltungspunkt x und eine Bezugsspannungsschiene n geschaltet. Zwischen die Eingangsklemme p und die Bezugsspannungsschiene n ist die Eingangskapazität C1 geschaltet. Anstelle der Eingangskapazität C1 kann auch ein anderes Element, das als Spannungsquelle wirkt, vorliegen. Die Wandlerinduktivität L ist zwischen den Schaltungspunkt x und einer Ausgangsklemme \bar{p} geschaltet. Zwischen die Ausgangsklemme \bar{p} und die Bezugsspannungsschiene n ist die Ausgangskapazität C2 geschaltet.

[0017] Es ist ein über der Tiefsetzstellerinduktivität L angeordneter Induktivitätskurzschlusschalter, auch Kurzschlusschalter genannt, als Antiserienschalter eines dritten und vierten Schalters Q3, Q4 mit Common-Emitter oder Common-Kollektor und mit antiparallelen (ggf. parasitären) Freilaufdioden D3 und D4 ausgeführt. Die Konverterfunktion wird nachfolgend anhand von Fig. 2 beschrieben, welche den Zeitverlauf des Stromes i_L durch die Tiefsetzstellerinduktivität L, des Ausgangsstromes i_{out} , der Spannung u_{Q2} über der Tiefsetzstellerfreilaufdiode D2 bzw. dem unmittelbar antiparallelen Tiefsetzstellerfreilaufschalter Q2 (welcher D2 als parasitäres Element aufweisen kann) sowie die Ansteuersignale der Schalter Q1, Q2, Q3 und Q4 zeigt, erläutert. Jedes der Schaltelemente Q1–Q4 weist eine parallele parasitäre Kapazität C_{p1} – C_{p4} auf (in Fig. 1 nicht gezeigt), auch Ausgangskapazität genannt, welche ggf. durch eine externe Kapazitäten erhöht werden kann und zum Erreichen eines Zero Voltage Switchings bzw. allgemein eines weichen Schaltens («softswitching») dient, d.h. beim Ausschalten eines stromführenden Schalters den Strom übernimmt. Durch entsprechenden Betrieb der gesamten Schaltung ist dann dafür zu sorgen, dass die vor dem Einschalten eines Schalters zugehörige Kapazität entladen ist, um Einschaltverluste zu vermeiden. Durch die hier beschriebene Steuerung des Tiefsetzstellers wird dieser Betrieb für alle Schalter Q1–Q4 sichergestellt.

[0018] Bzgl. der im Weiteren verwendeten Bezeichnungen sei folgende Vereinbarung getroffen: Der einem Zeitpunkt t_x zugeordnete Wert der Spannung u_y wird kurz als u_{yx} bezeichnet; Beispiel: u_{Q2} in $t_1:u_{Q2t_1}$. Gleiches gilt für den Strom. Durchlassspannungen von Dioden und Leistungstransistoren werden vernachlässigt. Schraffur eines Steuersignals bedeutet, dass der zugehörige Transistor in diesem Zeitintervall für eine Verringerung der Komplexität der Steuerung vorteilhaft eingeschaltet verbleiben kann, für die Erfüllung der Schaltungsgrundfunktion ist dies jedoch nicht zwingend erforderlich. Allgemein ist die mit durchgezogenen Linien der Steuersignale in den Abbildungen gezeigte Steuerung so gewählt, dass im Sinne einer Minimierung der Leitverluste im Leitintervall einer Diode stets auch der antiparallele Transistor möglichst früh durchgeschaltet wird, wobei das Durchschalten nicht unmittelbar mit dem Leitendwerden der Diode, sondern geringfügig zeitverzögert erfolgt, da eine Detektion des Leitens der Diode, welche anschliessend das Einschalten des Schalters auslöst, eine gewisse Signallaufzeit aufweisen würde oder bei zeitlich fester Steuerung Sicherheitszeiten vorzusehen wären.

[0019] Zeitpunkt t_0 : Der Strom i_L steigt aufgrund der an L liegenden positiven Spannung $u_L = U_1 - U_2$ ausgehend: von $i_{Lt0} = 0$ linear an; Q1 wurde spätestens unmittelbar vor dem Nulldurchgang des Stroms i_L spannungslos eingeschaltet, da der Strom dann durch die antiparallele Diode D1 von Q1 fliesst (Q1 kann D1 als parasitäres Element aufweisen). Transistor Q3 ist eingeschaltet, d.h. es gilt $u_{Q3} = 0$; die positive Spannung u_L über L tritt damit über D4 in Sperrrichtung auf (Q4 ist ausgeschaltet), d.h. Cp4 ist auf $U_1 - U_2$ geladen.

[0020] Zeitpunkt t_1 : Q1 wird spannungslos abgeschaltet, wobei t_1 gegenüber t_0 so gewählt wird, dass über die gesamte Taktperiode $t_0 \dots t_{14}$ einerseits der gewünschte Leistungstransfer stattfindet und andererseits genügend Strom in L zur Verfügung steht, um letztlich ein spannungsloses Einschalten von Q2 zum späteren Zeitpunkt t_6 zu ermöglichen); der durch L eingeprägte Strom i_{Lt1} lädt dann die parasitäre Kapazität Cp1 von Q1 (bzw. D1), entlädt Cp2 von Q2 (bzw. D2) und auch Cp4 von Q4 (Q3 wird spätestens jetzt eingeschaltet und ermöglicht das Fließen dieses Entladestromes) in Form einer Schwingung, d.h. u_L wird ausgehend von $U_1 - U_2$ verringert. Der nicht für die Umladung von Cp4 benötigte Teil von i_L tritt weiter als Ausgangsstrom i_{out} auf.

[0021] Zeitpunkt t_2 : die Spannung u_{Cp4} über die parasitäre Kapazität Cp4 von Q4 erreicht den Wert Null, womit D4 leitend wird; der gesamte Strom i_L läuft nun über Q3 und D4. Entsprechend endet die Aufladung von Cp1 und Entladung von Cp2, der Schaltungspunkt x bleibt auf der Spannung $u_{xn} = U_2$ liegen.

[0022] Zeitpunkt t_3 : $u_{D4} = u_{Q4} = 0$, Q4 kann spannungslos eingeschaltet werden; der geringe Einschaltwiderstand von Q4 kommt damit parallel zu D4 zu liegen und die Leitverluste sinken; es gilt weiter $u_L = 0$ bzw. $u_{xn} = U_2$.

[0023] Zeitpunkt t_4 : Q3 wird spannungslos ausgeschaltet (typisch wird das Zeitintervall $t_3 \dots t_4$ so kurz gehalten, dass Q4 sicher spannungslos eingeschaltet werden kann), der vorher durch Q3 fließende Strom fliesst nun über Cp3 und lädt Cp3 in Sperrrichtung von D3, womit zwischen \bar{p} und dem Schaltungspunkt x eine Spannung $u_{\bar{p}x} > 0$ auftritt bzw. der Schaltungspunkt x zur Bezugsspannungsschiene n hin in der Spannung absinkt; damit wird ein Teil von i_L nun wieder die weitere Aufladung von Cp1 und weitere Entladung von Cp2 übernehmen (vergleiche Zeitintervall $t_1 \dots t_2$) und es tritt wieder ein entsprechender Ausgangsstrom i_{out} auf.

[0024] Zeitpunkt t_5 : Die Spannung u_{Q2} über dem zweiten Schalter Q2 erreicht den Wert Null, D4 wird leitend und übernimmt den Strom i_L ; Cp3 ist auf U_2 aufgeladen, Cp1 auf U_1 , der gesamte Strom der Induktivität L tritt als Ausgangsstrom auf, $i_{Lt5} = i_{out}$. i_L weist eine negative Steigung auf bzw. wird gegen U_2 abgebaut.

[0025] Zeitpunkt t_6 : $u_{D2} = 0$, Q2 kann spannungslos eingeschaltet werden, womit die Leitverluste gegenüber einem ausschliesslichen Leiten von D2 sinken.

[0026] Zeitpunkt t_7 : i_L erreicht den Wert Null, spätestens jetzt muss Q2 eingeschaltet werden, um eine Vorzeichenumkehr von i_L zu ermöglichen.

[0027] Zeitpunkt t_8 : $i_L < 0$, Q2 wird spannungslos ausgeschaltet (der Zeitpunkt t_8 wird so gewählt, dass i_{Lt8} ausreicht, um nachfolgend die parasitären Kapazitäten derart auf- bzw. zu entladen, dass letztlich in t_{13} Q1 spannungslos eingeschaltet werden kann), Q4 wird spätestens jetzt eingeschaltet. Der negative Strom i_{Lt8} fliesst nun durch Cp2 und lädt die Kapazität in Sperrrichtung von D2 in Form einer Schwingung. Entsprechend müssen Cp1 und Cp3 entladen werden, d.h. ein Teil des Stromes i_L wird über Q4 und Cp3 geführt, der verbleibende Rest tritt als Ausgangsstrom i_{out} auf.

[0028] Zeitpunkt t_9 : Cp3 ist vollständig entladen, D3 wird leitend, der gesamte Strom i_L fliesst nun über Q4 und D3, damit gilt $u_L = 0$ und $u_{xn} = u_{\bar{p}x}$, d.h. der Schaltungspunkt x bleibt auf dem Niveau der Ausgangsspannung stehen, die Aufladung von Cp2 und Entladung von Q1 endet.

[0029] Zeitpunkt t_{10} : $u_{D3} = 0$, Q3 kann damit zur Verringerung der Leitverluste spannungslos eingeschaltet werden. Der Strom $i_L < 0$ kreist nun über Q4 und Q3, es findet kein Leistungstransfer nach U_2 statt. Das Intervall zwischen t_{10} und dem folgenden Zeitpunkt t_{11} kann als Ruheintervall bezeichnet werden. In diesem Intervall fliesst ein Strom durch den Induktivitätskurzschlusschalter, der als Hilfsstrom bezeichnet werden kann.

[0030] Zeitpunkt t_{11} : Q4 wird spannungslos ausgeschaltet. Vorteilhaft wird die Länge des Intervalls $t_{10} \dots t_{11}$ so gewählt, dass die Länge der gesamten Pulsperiode, d.h. die Zeitdifferenz $t_{14} - t_0$ einen definierten Wert nicht unterschreitet, bzw. die Schaltfrequenz $f_s = 1/(t_{14} - t_0)$ des Systems auf einen definierten Wert limitiert bleibt. Durch das Ausschalten von Q4 wird $i_L < 0$ nun Cp4 in Sperrrichtung von D4 aufladen, Q3 kann dabei leitend bleiben oder ausgeschaltet werden, da für den Stromfluss ja D3 zur Verfügung steht. Mit der Aufladung von Cp4 wird $u_L > 0$, d.h. Schaltungspunkt x wird potentialmässig angehoben, d.h. Cp2 muss geladen und Cp1 entladen werden, wofür ein Teil von i_L herangezogen wird, der auch als Ausgangsstrom i_{out} auftritt. Die Umladung der Kapazitäten findet wieder in Form einer Schwingung statt.

[0031] Zeitpunkt t_{12} : Die Spannung über D1 wird Null, D1 beginnt zu leiten und klemmt den Schaltungspunkt x gegen die positive Eingangsspannungsklemme p. i_L weist damit eine konstante positive, durch $U_1 - U_2$ definierte Steigung auf.

[0032] Zeitpunkt t_{13} : Q1 kann spannungslos eingeschaltet werden und verringert die Leistverluste.

[0033] Zeitpunkt t_{14} : i_L erreicht von negativen Werten kommend den Wert Null, dies entspricht dem anfangs betrachteten Zustand in t_0 , eine Pulsperiode ist abgelaufen.

[0034] Zusammengefasst realisiert eine Steuerung der Schaltung

- durch Variation der Zeit $t_1 - t_0$ eine Einstellung der Leistungslieferung; und
- durch Variation der Zeit $t_7 - t_6$ eine Einstellung des negativen Hilfsstromwertes zur Sicherstellung des Zero Voltage Switching.

[0035] Bei einem unidirektionalen Leistungsfluss wird einer der Schalter des Induktivitätskurzschlusschalters nur eingeschaltet, um Verluste in seiner antiparallelen Diode zu vermeiden. Der Schalter kann dann auch ausgeschaltet bleiben oder weggelassen werden, wobei die Steuerung vereinfacht wird, aber Verluste in der Diode in Kauf zu nehmen sind. Im Beispiel der Fig. 1 können bei einem Leistungsfluss vom Eingang p_n zum Ausgang \bar{p}_n der vierte Schalter Q4 und die dritte Diode D3 weggelassen werden. Beim Leistungsfluss vom Ausgang \bar{p}_n zum Eingang p_n können der dritte Schalter D3 und die vierte Diode D4 weggelassen werden

[0036] Für die Ausgangsspannung $U_2 > U_1/2$ kann die vorstehend beschriebene Steuerung vereinfacht werden. Dieses modifizierte Steuerverfahren wird nachfolgend anhand von Fig. 3 kurz beschrieben.

[0037] Zeitpunkt t_{0a} : wie oben

[0038] Zeitpunkt t_{1a} : Q1 wird spannungslos ausgeschaltet und Q3 wird, falls eingeschaltet, ebenfalls ausgeschaltet, da anschliessend die Spannung u_L negative Werte annehmen wird und entsprechend D3 Sperrspannung aufnehmen muss. Cp1 wird geladen, Cp2 entladen, ebenso wird die in t_{1a} an einer $U_1 - U_2$ liegende Sperrschichtkapazität Cp4 entladen, wobei Cp3 entsprechend aufgeladen wird. Wird $u_L = 0$ erreicht, sind beide Cp3 und Cp4 gegensinnig geladen, die Umladeschwingung setzt sich fort und da $U_2 > U_1/2$ gilt, muss sich über D3 bzw. Cp3 letztlich eine betragsmässig grössere Spannung aufbauen als in t_{1a} an D4 bzw. Cp4 gelegen war, womit u_{D4} sicher den Wert Null erreicht bzw. D4 leitend wird und letztlich in t_{2a} die volle Spannung U_2 an D3 bzw. Cp3 liegt.

[0039] Zeitpunkt t_{2a} : u_{Cp2} bzw. u_{Q2} erreicht den Wert Null, D2 wird leitend.

[0040] Zeitpunkt t_{3a} : Q2 kann spannungslos eingeschaltet werden, Verringerung der Leitverluste, i_L wird gegen U_2 abgebaut; weiters kann Q4 spannungslos eingeschaltet werden, da an D4 keine Spannung mehr liegt (siehe oben).

[0041] Zeitpunkt t_{4a} : i_L wird Null, spätestens jetzt muss Q2 eingeschaltet werden, um eine Stromumkehr zu ermöglichen.

[0042] Zeitpunkt t_{5a} : Q2 wird ausgeschaltet und spätestens jetzt muss Q4 durchgeschaltet werden. Der negative Strom i_L lädt nun Cp2, entlädt Cp1 und auch Cp3 über Q4.

[0043] Zeitpunkt t_{6a} : Cp3 ist entladen, u_{D3} wird Null, D3 wird leitend, womit i_L über Q4 und D3 fliesst und der Schaltungspunkt x auf $u_x = U_2$ verharrt.

[0044] Zeitpunkt t_{7a} : Q3 kann spannungslos eingeschaltet werden, Verringerung der Leitverluste.

[0045] Zeitpunkt t_{8a} : Ausschalten von Q4, $i_L < 0$ lädt nun Cp4 in Sperrrichtung von D4 über D3 und Q3, Q3 könnte ausgeschaltet werden, da D3 für die Stromführung zur Verfügung steht. Der Schaltungspunkt x wird potentialmässig angehoben, Cp2 in Form einer Schwingung weiter aufgeladen, Cp1 weiter entladen, wofür ein Teil von i_L benötigt wird, der auch als Ausgangsstrom i_{out} auftritt.

[0046] Zeitpunkt t_{9a} : u_{D1} wird zu Null, D1 wird leitend, der negative Strom i_L gegen die Eingangsspannung U_1 abgebaut. Cp4 liegt an einer Spannung $U_1 - U_2$

[0047] Zeitpunkt t_{10a} : Q1 kann spannungslos eingeschaltet werden, Verringerung der Leitverluste.

[0048] Zeitpunkt t_{11a} : i_L wird Null, Q1 muss spätestens jetzt eingeschaltet werden um einen Aufbau von i_L zu positiven Werten hin zu ermöglichen.

Patentansprüche

1. DC/DC-Konverter in Form eines Tiefsetzstellers, Hochsetzstellers oder Inverswandlers, mit einer Wandlerinduktivität (L), aufweisend einen Induktivitätskurzschlusschalter, welcher parallel zur Wandlerinduktivität (L) geschaltet ist und welcher nach Stromrichtungen getrennt steuerbar ist.
2. DC/DC-Konverter gemäss Anspruch 1, der für einen bidirektionalen Leistungsfluss ausgelegt ist, und wobei der Induktivitätskurzschlusschalter durch einen Vierquadrantenschalter (Q3, Q4, D3, D4) realisiert ist.
3. DC/DC-Konverter gemäss Anspruch 1, der für einen unidirektionalen Leistungsfluss ausgelegt ist, und wobei der Induktivitätskurzschlusschalter durch eine Serienschaltung einer Diode und eines Schalters realisiert ist.
4. DC/DC-Konverter gemäss Anspruch 2, welcher in Form eines Tiefsetzstellers realisiert ist und die folgenden Elemente aufweist:
 - eine Eingangsklemme (p), eine Ausgangsklemme (\bar{p}) und eine Bezugsspannungsschiene (n),
 - einen ersten Schalter (Q1) mit einer ersten Freilaufdiode (D1), der zwischen die Eingangsklemme (p) und einen Schaltungspunkt (x) geschaltet ist;
 - einen zweiten Schalter (Q2) mit einer zweiten Freilaufdiode (D2), der zwischen den Schaltungspunkt (x) und die Bezugsspannungsschiene (n) geschaltet ist;

- eine Wandlerinduktivität (L), die zwischen den Schaltungspunkt (x) und eine Ausgangsklemme geschaltet ist;
 - einen Induktivitätskurzschlusschalter (Q3, Q4, D3, D4) welcher parallel zur Wandlerinduktivität (L) geschaltet ist und als Antiserienschalter eines dritten und vierten Schalters (Q3, Q4) mit antiparallelen Freilaufdioden (D3) und (D4) ausgeführt ist.
5. Verfahren zum Betrieb des DC/DC-Konverters, gemäss Anspruch 4, wobei im Betrieb des DC/DC-Konverters ein Strom, im Folgenden Wandlerstrom i_L genannt, durch die Wandlerinduktivität (L) fliesst, und wobei zur Realisierung von weichen Schaltvorgängen
 - ausgehend von einem Startzeitpunkt t_0 , in welchem der Wandlerstrom null ist, und der erste Schalter (Q1) eingeschaltet ist oder spannungslos eingeschaltet wird, der dritte Schalter (Q3) eingeschaltet ist oder ausgeschaltet ist und der zweite Schalter (Q2) und der vierte Schalter (Q4) ausgeschaltet sind die nachstehend beschriebenen Schritte in dieser Folge ausgeführt werden:
 - zu einem Zeitpunkt t_1 , spannungsloses Ausschalten des ersten Schalters (Q1);
 - zu einem Zeitpunkt t_3 , spannungsloses Einschalten des vierten Schalters (Q4);
 - zu einem Zeitpunkt t_4 , spannungsloses Ausschalten des dritten Schalters (Q3);
 - zu einem Zeitpunkt t_6 , spannungsloses Einschalten des zweiten Schalters (Q2);
 - zu einem Zeitpunkt t_8 , spannungsloses Ausschalten des zweiten Schalters (Q2);
 - zu einem Zeitpunkt t_{10} , spannungsloses Einschalten des dritten Schalters (Q3);
 - zu einem Zeitpunkt t_{11} , spannungsloses Ausschalten des vierten Schalters (Q4);
 - zu einem Zeitpunkt t_{13} , spannungsloses Einschalten des ersten Schalters (Q1); und damit wieder der Zustand entsprechend dem Startzeitpunkt t_0 erreicht ist.
 6. Verfahren gemäss Anspruch 5, mit den weiteren Schritten
 - frühestens zum Zeitpunkt t_{11} , Ausschalten des dritten Schalters (Q3); und
 - spätestens zum Zeitpunkt t_1 einer folgenden Periode, spannungsloses Einschalten des dritten Schalters (Q3).
 7. Verfahren gemäss Anspruch 5 oder 6, mit den weiteren Schritten
 - frühestens zum Zeitpunkt t_4 , Ausschalten des vierten Schalters (Q4); und
 - spätestens zum Zeitpunkt t_8 , spannungsloses Einschalten des vierten Schalters (Q4).
 8. Verfahren zum Betrieb des DC/DC-Konverters, gemäss Anspruch 4, wobei im Betrieb des DC/DC-Konverters ein Strom, im Folgenden Wandlerstrom i_L genannt, durch die Wandlerinduktivität (L) fliesst, und wobei zur Realisierung von weichen Schaltvorgängen
 - ausgehend von einem Startzeitpunkt t_{0a} , in welchem der Wandlerstrom null ist, und der erste Schalter (Q1) eingeschaltet ist oder spannungslos eingeschaltet wird, der dritte Schalter (Q3) eingeschaltet ist oder ausgeschaltet ist und der zweite Schalter (Q2) und der vierte Schalter (Q4) ausgeschaltet sind die nachstehend beschriebenen Schritte in dieser Folge ausgeführt werden:
 - zu einem Zeitpunkt t_{1a} , spannungsloses Ausschalten des ersten Schalters (Q1), und spätestens zu diesem Zeitpunkt t_{1a} spannungsloses Ausschalten des dritten Schalters (Q3), falls dieser eingeschaltet ist;
 - frühestens zu einem Zeitpunkt t_{3a} und spätestens zu einem Zeitpunkt t_{4a} , spannungsloses Einschalten des zweiten Schalters (Q2);
 - zu einem Zeitpunkt t_{5a} , spannungsloses Ausschalten des zweiten Schalters (Q2) und spätestens zu diesem Zeitpunkt t_{5a} spannungsloses Einschalten des vierten Schalters (Q4), falls dieser noch nicht eingeschaltet ist;
 - zu einem Zeitpunkt t_{7a} , spannungsloses Einschalten des dritten Schalters (Q3);
 - zu einem Zeitpunkt t_{8a} , spannungsloses Ausschalten des vierten Schalters (Q4);
 - frühestens zu einem Zeitpunkt t_{10a} und spätestens zu einem Zeitpunkt t_{11a} spannungsloses Einschalten des ersten Schalters (Q1);
 - wobei im Zeitpunkt t_{11a} wieder der Zustand entsprechend dem Startzeitpunkt t_0 erreicht ist.
 9. Verfahren gemäss Anspruch 8, mit den weiteren Schritten
 - frühestens zum Zeitpunkt t_{8a} , Ausschalten des dritten Schalters (Q3); und
 - spätestens zum Zeitpunkt t_{1a} einer folgenden Periode, spannungsloses Einschalten des dritten Schalters (Q3).
 10. Verfahren gemäss Anspruch 8 oder 9, mit dem weiteren Schritt
 - frühestens zum Zeitpunkt t_{3a} , spannungsloses Einschalten des vierten Schalters (Q4).

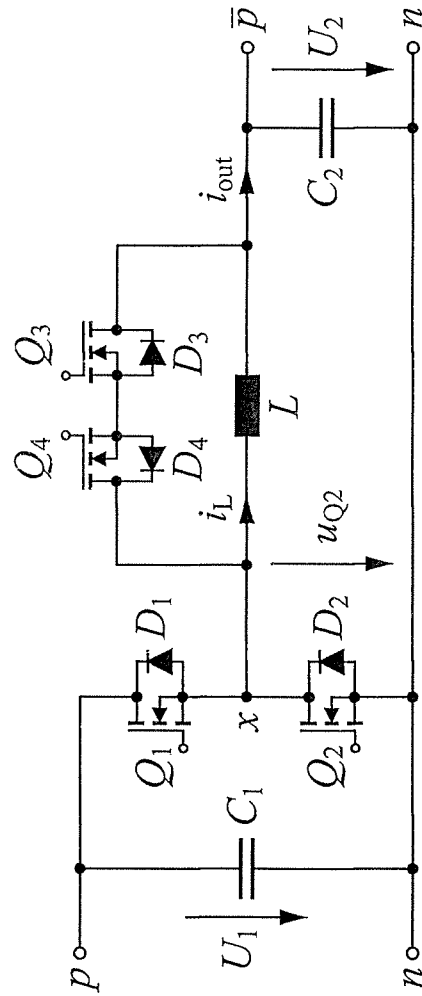


Fig. 1

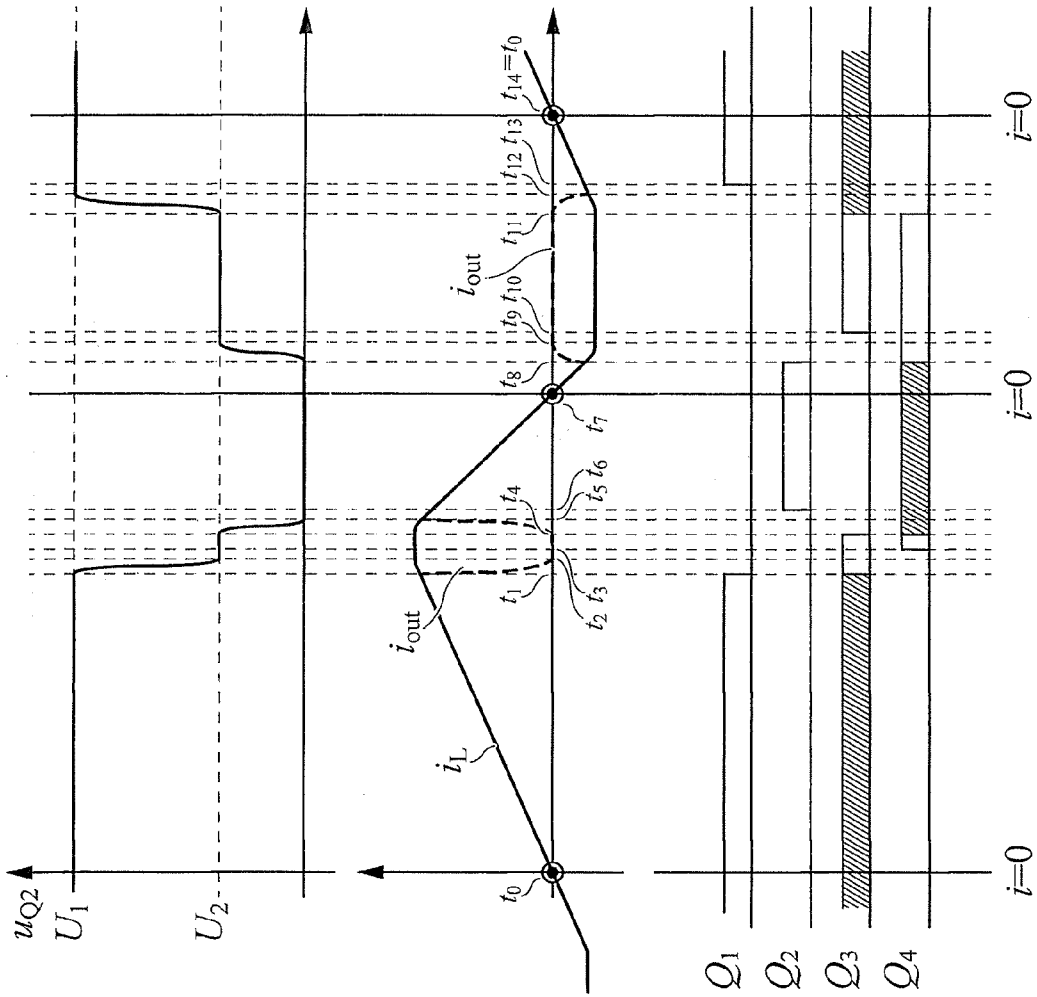


Fig. 2

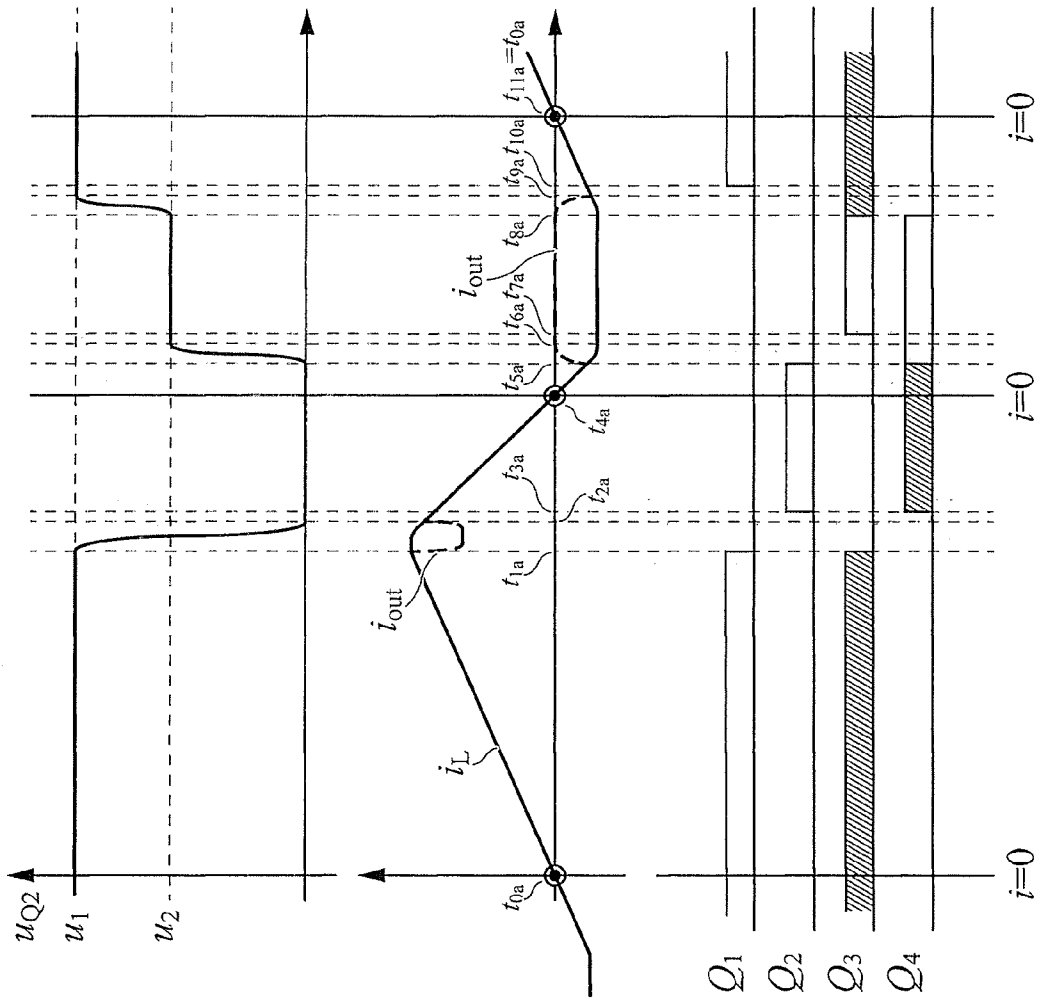


Fig. 3