



SCHWEIZERISCHE EIDGENOSSENSCHAFT
EIDGENÖSSISCHES INSTITUT FÜR GEISTIGES EIGENTUM

(11) CH 699 920 B1

(51) Int. Cl.: H02M 3/155 (2006.01)

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-lichtensteinischer Patentschutzvertrag vom 22. Dezember 1978

(12) **PATENTSCHRIFT**

(21) Anmeldenummer: 01757/06

(22) Anmeldedatum: 06.11.2006

(24) Patent erteilt: 31.05.2010

(45) Patentschrift veröffentlicht: 31.05.2010

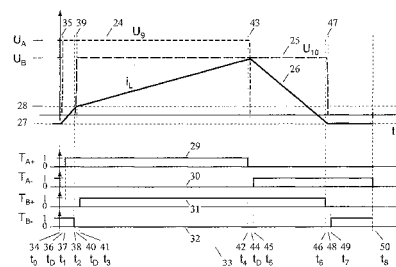
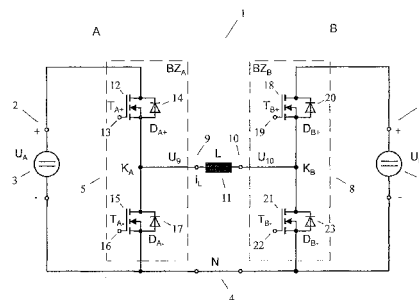
(73) Inhaber:
ETH Zürich, ETH transfer, Rämistrasse 101
8092 Zürich (CH)

(72) Erfinder:
Johann W. Kolar, 8044 Zürich (CH)
Florian Krismer, 8004 Zürich (CH)

(74) Vertreter:
Frei Patentanwaltsbüro AG, Postfach 1771
8032 Zürich (CH)

(54) **Verfahren zur schaltverlustminimalen Steuerung eines bidirektionalen nicht potentialgetrennten Gleichspannungswandlers mit überlappendem Ein- und Ausgangsspannungsbereich.**

(57) Die Erfindung betrifft ein Verfahren zur schaltverlustminimalen Ansteuerung eines bidirektionalen Gleichspannungs-Gleichspannungswandlers (1), welcher durch einen ersten, zwischen die positive Klemme (2) einer Leistung liefernden ersten Spannungsquelle (3) und Bezugspotential (4) gelegten Brückenweig (5) und einen zweiten, zwischen die positive Klemme (6) einer Leistung aufnehmenden zweiten Spannungsquelle (7) und Bezugspotential (4) gelegten Transistorbrückenweig (8) und eine zwischen den Wurzelpunkten (9, 10) der Brückenweige (5, 8) angeordnete Induktivität (11) gebildet ist. Erfindungsgemäss wird der Strom in der Induktivität (11) so geformt, dass keine, aufgrund der Sperrverzugszeit von Dioden mit hohen Schaltverlusten verbundene Abkommutierung einer jeweils antiparallelen Freilaufdiode (14, 17, 20, 23) auftritt, das heisst das Einschalten eines Transistors (12, 15, 18, 21) stets bei Leiten der Freilaufdiode (14, 17, 20, 23) erfolgt und für die Umschaltung zwischen den Transistoren eines Brückenweiges eine Verriegelungszeit (36, 40, 44, 48) eingehalten wird. Beispielsweise wird vor dem Abschalten eines abzuschaltenden Transistors (15) in der Induktivität (11) ein negativer Mindeststrom aufgebaut, der ausreicht, nach dem Abschalten eine parasitäre Ausgangskapazität des einzuschaltenden Transistors (12) zu entladen und womit dieser nach der Verriegelungszeit (36) strom- und spannungslos eingeschaltet werden kann.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur schaltverlustminimalen Steuerung eines bidirektionalen nicht potentialgetrennten Gleichspannungswandlers mit überlappendem Ein- und Ausgangsspannungsbereich, wie im Oberbegriff des Patentanspruchs 1 beschrieben ist.

Stand der Technik

[0002] In Hybridfahrzeugen wird der elektrische Antriebsteil ausgehend von einer Hochspannungsschiene gespeist, die mit einem, Bremsenergie aufnehmenden oder Antriebsenergie liefernden elektrischen Speicher gekoppelt ist. Gemäss dem Stand der Technik erfolgt die Kopplung über einen nicht potentialgetrennten leistungselektronischen Konverter, der beide Energierichtungen und vielfach auch eine Überlappung der betriebs- und konzeptbedingt relativ weiten Bereiche von Eingangsspannung (speicherseitig) und Ausgangsspannung (antriebsseitig) zu beherrschen hat.

[0003] Die Grundstruktur eines derartigen bidirektionalen Tief-Hochsetzstellers wird gemäss dem Stand der Technik im einfachsten Fall durch eine erste, zwischen der positiven Eingangsspannungsklemme und Bezugspotential liegende Transistorhalbbrücke (auch erster Brückenweig genannt) und eine, zwischen der positiven Ausgangsspannungsklemme und Bezugspotential liegende zweite Transistorhalbbrücke (auch zweiter Brückenweig genannt) gebildet, wobei zwischen die Wurzelpunkte der Halbbrücken eine Induktivität gelegt ist. Jede Transistorhalbbrücke weist einen oberen, in Stromflussrichtung von der positiven Halbbrückenklemme gegen den Wurzelpunkt geschalteten Leistungstransistor mit antiparalleler Freilaufdiode und einen vom Wurzelpunkt in Stromflussrichtung gegen Bezugspotential gelegten unteren Leistungstransistor mit antiparalleler Freilaufdiode auf.

[0004] In bekannter Weise wird, abhängig vom vorliegenden bzw. einzustellenden Verhältnis von Ein- und Ausgangsspannung (Spannungsübersetzungsverhältnis), nur jeweils ein Brückenweig getaktet und ein Transistor des anderen Brückenweiges durchgeschaltet, der zweite Transistor dieses Brückenweiges sperrt. Weist z.B. die Ausgangsspannung einen tieferen Wert als die Eingangsspannung auf, wird der obere Transistor des zweiten Brückenweiges bleibend durchgeschaltet, der untere Transistor verbleibt im Ausschaltzustand. Die Transistoren des ersten Brückenweiges werden mit einem, dem Spannungsübersetzungsverhältnis entsprechenden Tastverhältnis im Gegentakt gesteuert, wobei zwischen Abschalten eines Transistors und Einschalten des im Brückenweig gegenüberliegenden Transistors (d.h. z.B. zwischen Brückenkurzschluss sicher zu vermeiden. Die Induktivität wird so dimensioniert, dass ein relativ geringer Stromrippel und damit eine geringe Spitzenstrombeanspruchung der Leistungshalbleiter und geringe Verluste in Magnetkreis und Wicklung auftreten. Für Leistungsfluss vom Eingang an den Ausgang arbeitet der Konverter im dargelegten Beispiel als Tiefsetzsteller, mit dem oberen Transistor des ersten Brückenweiges als dem den Leistungsfluss zwischen Ein- und Ausgang steuerndem Element. Für Leistungslieferung von Ausgang an den Eingang (Bremsenergieerückspeisung) liegt Hochsetzstellerbetrieb vor, wobei nun der untere Transistor des ersten Brückenweiges als steuerndes Element fungiert.

[0005] Der Nachteil dieser Betriebsweise besteht darin, dass, z.B. für Tiefsetzstellerbetrieb beim Einschalten des oberen Transistors des ersten Brückenweiges Strom aus der unteren Freilaufdiode übernommen wird, womit aufgrund des Diodenrückstromes hohe Schaltverluste resultieren. Dies ist insbesondere für Leistungs-MOSFETs der Fall, wo die Freilaufdiode monolithisch mit dem Leistungstransistor verbunden ist und eine relativ hohe Sperrverzugszeit aufweist. Ein Ersatz durch eine Freilaufdiode mit geringer Rückwärtserholzeit bedingt neben dieser Diode die Anordnung einer Seriendiode, womit ein hoher Realisierungsaufwand resultiert, der i.a. aus Kostengründen nicht in Kauf genommen werden kann. Weiters treten dann zufolge des Spannungsabfalls an der Seriendiode höhere Leitverluste auf. Auch alternativ zur Verringerung der Schaltverluste einsetzbare Beschaltungsnetzwerke erhöhen die Systemkomplexität, bedingen vielfach Mindestpulszeiten und/oder schränken die Aussteuerbarkeit des Konverters ein und stellen somit keine praktikable Lösung dar.

Darstellung der Erfindung

[0006] Aufgabe der Erfindung ist es daher, ein Steuerverfahren zu schaffen, welches mit hohen Schaltverlusten verbundene Schaltvorgänge grundsätzlich vermeidet und damit erlaubt, ohne Erweiterung der eingangs beschriebenen Schaltungsgrundstruktur auch bei hoher Taktfrequenz einen hohen Wirkungsgrad der Energieumformung zu erreichen.

[0007] Erfindungsgemäss wird dies durch das Verfahren nach Patentanspruch 1 erreicht. Vorteilhafte Ausgestaltungen der Erfindung sind den abhängigen Patentansprüchen zu entnehmen.

[0008] Grundgedanke der Erfindung ist, den in der Induktivität auftretenden Strom so zu formen, dass die Abkommutierung einer Freilaufdiode grundsätzlich vermieden wird, d.h. das Einschalten eines Leistungstransistors stets bei Stromführung der antiparallelen Freilaufdiode, d.h. strom- und spannungslos erfolgt. Es treten dann nur aktive (strombehaftete) Abschaltvorgänge auf, für welche die parasitären Ausgangskapazitäten der Leistungstransistoren eine Entlastungskapazität bilden, womit nur eine relativ kleine Ausschaltverlustleistung resultiert.

Um den jeweils nächstfolgenden Transistor eines Brückenweiges wie vorstehend beschrieben bei Leiten der antiparallelen Freilaufdiode einschalten zu können, wird erfindungsgemäss stets bei einem Mindestwert des Stromes in der Induktivität abgeschaltet. Dieser Mindeststrom ist so gewählt, dass innerhalb der zwischen Abschalten des Transistors und Einschalten des nächstfolgenden Transistors liegenden Verriegelungszeit das Aufladen der parasitären Ausgangskapazität

des die Abschaltung auslösenden Transistors auf den Wert der zwischen positiver Klemme des Brückenweiges und Bezugspotential liegenden Spannung erfolgt. Entsprechend wird die parasitäre Ausgangskapazität des im Brückenweig gegenüberliegenden Transistors entladen, d.h. die zu diesem Transistor antiparallel liegende Freilaufdiode beginnt zu leiten.

[0009] Eine vorteilhafte Ausgestaltung des in Patentanspruch 1 dargelegten Grundkonzeptes der erfindungsgemässen Steuerung für den Fall, dass die Gleichspannung U_A oder Eingangsspannung der Leistung liefernden Seite A über der Gleichspannung U_B oder Ausgangsspannung der Leistung beziehenden Seite B liegt, beschreibt der Patentanspruch 2. Hiermit ist der Fall eines Überwiegens der Eingangsspannung über die Ausgangsspannung und eines Leistungsflusses vom Eingang an den Ausgang wie auch der Fall eines Überwiegens der Ausgangsspannung über die Eingangsspannung und einer Rückspeisung von Leistung vom Ausgang an den Eingang abgedeckt, wobei der Strom i_L in der Induktivität L jeweils in Richtung des Leistungsflusses positiv gezählt angenommen wird.

Erfindungsgemäss erfolgt die Steuerung so, dass unmittelbar vor Beginn t_0 einer Pulsperiode T_P ein negativer Mindeststrom $-I_0$ über die Induktivität L fliesst und sich über den unteren Transistor T_{A-} des Brückenweiges BZ_A der Leistung liefernden Seite A (erster Brückenweig), über eine negative, U_A und U_B gemeinsame und als Bezugspotential dienende Spannungsschiene N des Systems, und die untere Freilaufdiode D_{B-} des Brückenweiges BZ_B der Leistung aufnehmenden Seite B (zweiter Brückenweig) schliesst; der antiparallel zu D_{B-} liegende untere Transistor T_{B-} von BZ_B ist hierbei bereits durchgeschaltet, übernimmt jedoch aufgrund der gegebenen Flussrichtung von i_L vorerst keinen Strom. Mit Beginnen der Pulsperiode in t_0 wird T_{A-} abgeschaltet, der durch L weiter in den Wurzelpunkt K_A von BZ_A gedrückte Strom i_L lädt dann die parasitäre Ausgangskapazität C_{A-} von T_{A-} und entlädt die Ausgangskapazität C_{A+} des zweiten, mit der positiven Eingangsklemme P_A von U_A verbundenen oberen Transistors T_{A+} , womit nach einer kurzen, ersten Umladezeit t_{UA+} der Wurzelpunkt K_A das Potential von P_A erreicht und die antiparallel zu T_{A+} liegende Freilaufdiode D_{A+} zu leiten beginnt. Nach einer hinreichend grösser als t_{UA+} gewählten, ab t_0 gezählten ersten Verriegelungszeit t_D wird dann T_{A+} in t_1 durchgeschaltet; aufgrund des Leitens von D_{A+} erfolgt dieser Schaltvorgang bei Spannung und Strom null und somit verlustfrei. Der Strom i_L strebt, weiter über D_{A+} flussend, von negativen Werten nach null und wird dann über T_{A+} zu positiven Werten aufgebaut, wobei gleichzeitig mit T_{A+} der Transistor T_{B-} Strom übernimmt. Erreicht nun i_L in t_2 einen positiven Mindestwert $+I_0$, wird der T_{B-} abgeschaltet, i_L lädt daraufhin die parasitäre Ausgangskapazität C_{B-} von T_{B-} und entlädt die parasitäre Ausgangskapazität C_{B+} des oberen Transistors T_{B+} von BZ_B , womit der Wurzelpunkt K_B von BZ_B nach einer kurzen, zweiten Umladezeit t_{BU+} das Potential P_B der positiven Eingangsklemme von BZ_B erreicht und die antiparallel zu T_{B+} liegende Freilaufdiode den Stromfluss übernimmt. Nach einer ab t_2 laufenden, zweiten Verriegelungszeit t_D kann so T_{B+} in t_3 strom- und spannungslos eingeschaltet werden, übernimmt jedoch vorerst noch keinen Strom. Der nun aus U_A über T_{A+} , L und D_{B+} in U_B flussende Strom i_L steigt, getrieben durch die über L liegende, aufgrund des vorausgesetzten Überwiegens von U_A gegenüber U_B positive Spannungsdifferenz U_A-U_B , weiter an, es wird Leistung von U_A an U_B geliefert und zunehmend magnetische Energie in L aufgebaut. Durch eine übergeordnete, den Leistungstransfer von A nach B regelnde Steuereinheit wird nun T_{A+} in einem Zeitpunkt t_4 , abgeschaltet, womit i_L die parasitäre Ausgangskapazität C_{A+} lädt und die parasitäre Ausgangskapazität C_{A-} von T_{A-} entlädt und nach einer kurzen, dritten Umladezeit t_{UA+} das Potential von K_A das Bezugspotential erreicht und somit die Freilaufdiode D_{A-} zu leiten beginnt. Der Transistor T_{A-} wird eine dritte Verriegelungszeit t_D nach dem Abschalten von T_{A+} in t_5 strom- und spannungslos durchgeschaltet, übernimmt jedoch vorerst keinen Strom. Der Strom i_L wird nun über D_{A-} und D_{B+} gegen U_B abgebaut, d.h. die in L gespeicherte magnetische Energie an die Leistung aufnehmende Seite B geliefert. Der Strom i_L wird so schliesslich zu null und kann aufgrund des Einschaltzustandes von T_{B+} und T_{A-} sein Vorzeichen umkehren. Erreicht i_L in t_6 einen negativen Mindestwert $-I_0$, wird T_{B+} abgeschaltet, i_L lädt daraufhin die parasitäre Ausgangskapazität von T_{B+} und entlädt die parasitäre Ausgangskapazität C_{B-} von T_{B-} . Nach einer kurzen, vierten Umladezeit t_{BU+} erreicht der Wurzelpunkt K_B das Bezugspotential, womit D_{B-} leitend und die Spannung über L zu null wird, d.h. der Strom i_L über D_{B-} , L, T_{A-} und die negative Spannungsschiene frei läuft und auf $-I_0$ verbleibt. Eine vierte Verriegelungszeit nach t_6 wird darauf folgend T_{B-} in t_7 strom- und spannungslos durchgeschaltet, übernimmt jedoch vorerst keinen Strom. Der Freilauf von i_L setzt sich bis an das Ende t_8 der laufenden bzw. den Anfang $t_0=t_8$ der nächstfolgenden Pulsperiode T_P fort, wo, wie eingangs beschrieben, T_{A-} abgeschaltet wird.

[0010] Hervorzuheben ist, dass für die erfindungsgemässe Steuerung sämtliche Abschaltvorgänge in den Zeitpunkten t_0 , t_2 , t_4 und t_6 durch die parasitären Ausgangskapazitäten entlastet, also bei Spannung null erfolgen. Weiters treten aufgrund des Einschaltens der Transistoren bei Spannung und Strom null in den Zeitpunkten t_1 , t_3 , t_5 und t_7 keine Einschaltverluste auf, womit der bei konventioneller Steuerung des Systems vorliegende Nachteil hoher Einschaltverluste vermieden wird und eine hohe, auf eine kompakte Realisierung des Systems führende Schaltfrequenz gewählt werden kann, ohne eine wesentliche Einbussen hinsichtlich der Leitverluste in Kauf nehmen zu müssen.

[0011] Eine vorteilhafte Ausgestaltung des in Anspruch 1 dargelegten Grundkonzeptes der erfindungsgemässen Steuerung für den Fall, dass die Gleichspannung U_A der Leistung liefernden Seite A unter der Gleichspannung U_B der Leistung beziehenden Seite B liegt, beschreibt der Patentanspruch 3. Hiermit ist der Fall eines Überwiegens der Ausgangsspannung über die Eingangsspannung und eines Leistungsflusses vom Eingang an den Ausgang wie auch der Fall eines Überwiegens der Eingangsspannung über die Ausgangsspannung und einer Rückspeisung von Leistung vom Ausgang an den Eingang abgedeckt, wobei der Strom i_L in der Induktivität L jeweils in Richtung des Leistungsflusses positiv gezählt angenommen wird.

[0012] Erfindungsgemäss erfolgt die Steuerung so, dass unmittelbar vor Beginn t_0 einer Pulsperiode T_P ein negativer Mindeststrom $-I_0$ über L fliesst und sich über den unteren Transistor T_{A-} des Brückenweiges BZ_A der Leistung liefernden

Seite A, die negative, U_A und U_B gemeinsame und als Bezugspotential dienende Spannungsschiene N des Systems, und die untere Freilaufdiode D_B des Brückenweiges BZ_B der Leistung aufnehmenden Seite B schliesst; der antiparallel zu D_B liegende untere Transistor T_B von BZ_B ist hierbei bereits durchgeschaltet, übernimmt jedoch aufgrund der gegebenen Flussrichtung von i_L vorerst keinen Strom. Mit Beginnen der Pulsperiode in t_0 wird T_{A-} abgeschaltet, der durch L weiter in den Wurzelpunkt K_A von BZ_A gedrückte Strom i_L lädt dann die parasitäre Ausgangskapazität C_{A-} von T_{A-} und entlädt die Ausgangskapazität C_{A+} des zweiten, mit der positiven Eingangsklemme P_A von U_A verbundenen oberen Transistors T_{A+} , womit nach einer kurzen, ersten Umladezeit t_{UA+} der Wurzelpunkt K_A das Potential von P_A erreicht und die antiparallel zu T_{A+} liegende Freilaufdiode D_{A+} zu leiten beginnt. Nach einer hinreichend grösser als t_{UA+} gewählten, ab t_0 gezählten ersten Verriegelungszeit t_D wird dann T_{A+} in t_1 durchgeschaltet; aufgrund des Leitens von D_{A+} erfolgt dieser Schaltvorgang bei Spannung und Strom null und somit verlustfrei. Der Strom i_L strebt, weiter über D_{A+} fließend, von negativen Werten nach null und wird dann über T_{A+} zu positiven Werten aufgebaut, wobei gleichzeitig mit T_{A+} der Transistor T_B Strom übernimmt; die Induktivität L nimmt so Energie von der Leistung liefernden Seite A auf. Durch eine übergeordnete, den Leistungstransfer von A nach B regelnde Steuereinheit wird nun T_B nach Erreichen eines hinreichend hohen Stromwertes in t_2 abgeschaltet, i_L lädt daraufhin die parasitäre Ausgangskapazität C_{B-} von T_B und entlädt die parasitäre Ausgangskapazität C_{B+} des oberen Transistors T_{B+} von BZ_B , womit der Wurzelpunkt K_B von BZ_B nach einer kurzen, zweiten Umladezeit t_{BU+} das Potential P_B der positiven Eingangsklemme von BZ_B erreicht und die antiparallel zu T_{B+} liegende Freilaufdiode den Stromfluss übernimmt. Nach einer ab t_2 laufenden zweiten Verriegelungszeit t_D kann so T_{B+} in t_3 strom- und spannungslos eingeschaltet werden, übernimmt jedoch vorerst noch keinen Strom. Der nun aus U_A über T_{A+} , L und D_{B+} gegen U_B fließende Strom i_L sinkt aufgrund der über L liegenden, aufgrund des vorausgesetzten Überwiegens von U_B gegenüber U_A negativen Spannungsdifferenz $U_A - U_B$ ab und erreicht in t_4 einen positiven Mindestwert $+I_0$; in dieser Phase wird Leistung von U_A nach U_B geliefert und magnetische Energie der Induktivität L an U_B abgegeben. In t_4 wird T_{A+} abgeschaltet, womit i_L die parasitäre Ausgangskapazität C_{A+} lädt und die parasitäre Ausgangskapazität C_{A-} von T_{A-} entlädt und nach einer kurzen, dritten Umladezeit t_{UA+} das Potential von K_A das Bezugspotential erreicht und somit die Freilaufdiode D_{A-} zu leiten beginnt. Der Transistor T_{A-} wird eine dritte Verriegelungszeit t_D nach dem Abschalten von T_{A+} in t_5 strom- und spannungslos durchgeschaltet, übernimmt jedoch vorerst keinen Strom. Der Strom i_L wird nun über D_{A-} und D_{B+} gegen U_B abgebaut, d.h. die in L gespeicherte magnetische Energie an die Leistung aufnehmende Seite B geliefert. Der Strom i_L wird so schliesslich zu null und kann aufgrund des Einschaltzustandes von T_{B+} und T_{A-} sein Vorzeichen umkehren. Erreicht i_L in t_6 einen negativen Mindestwert $-I_0$, wird T_{B+} abgeschaltet, i_L lädt daraufhin die parasitäre Ausgangskapazität von T_{B+} und entlädt die parasitäre Ausgangskapazität C_{B-} von T_B . Nach einer kurzen, vierten Umladezeit t_{BU+} erreicht der Wurzelpunkt K_B das Bezugspotential, womit D_B leitet und die Spannung über L zu null wird, d.h. der Strom i_L über D_B , L, T_{A-} und die negative Spannungsschiene frei läuft und auf $-I_0$ verbleibt. Eine vierte Verriegelungszeit nach wird darauf folgend T_B in t_7 strom- und spannungslos durchgeschaltet, übernimmt jedoch vorerst keinen Strom. Der Freilauf von i_L setzt sich bis an das Ende t_8 der laufenden bzw. den Anfang $t_0=t_8$ der nächstfolgenden Pulsperiode T_P fort, wo, wie eingangs beschrieben, T_{A-} abgeschaltet wird.

Hervorzuheben ist, dass für die erfindungsgemässe Steuerung sämtliche Abschaltvorgänge in den Zeitpunkten t_0 , t_2 , t_4 und t_6 durch die parasitären Ausgangskapazitäten entlastet, also bei Spannung null erfolgen. Weiters treten aufgrund des Einschaltens der Transistoren bei Spannung und Strom null in den Zeitpunkten t_1 , t_3 , t_5 und t_7 keine Einschaltverluste auf, womit der bei konventioneller Steuerung des Systems vorliegende Nachteil hoher Einschaltverluste vermieden wird und eine hohe, auf eine kompakte Realisierung des Systems führende Schaltfrequenz gewählt werden kann, ohne eine wesentliche Einbussen hinsichtlich der Leitverluste in Kauf nehmen zu müssen.

[0013] Eine bei hohen Werten der von A nach B zu liefernden Leistung vorteilhafte Ausgestaltung des in Patentanspruch 1 dargelegten Grundkonzeptes der erfindungsgemässen Steuerung ist in einer weiteren Ausführungsform der Erfindung möglich, wobei keine Einschränkung bezüglich des Grössenverhältnisses der Gleichspannung U_A der Leistung liefernden Seite A und der Gleichspannung U_B der Leistung beziehenden Seite B besteht.

[0014] Dabei erfolgt die Steuerung so, dass die gesamte Pulsperiode T_P für den Leistungstransfer aus U_A bzw. den Leistungstransfer nach U_B genutzt wird, also nur innerhalb einer, am Ende bzw. unmittelbar vor dem Beginn t_0 einer Pulsperiode T_P liegenden Verriegelungszeit t_D ein Freilauf des Stromes i_L erfolgt, wo i_L einen negativen Mindestwert $-I_0$ aufweist. Während des Freilaufs fließt der Strom über den unteren Transistor T_{A-} des Brückenweiges BZ_A der Leistung liefernden Seite A, die negative, U_A und U_B gemeinsame und als Bezugspotential dienende Spannungsschiene N des Systems, und die untere Freilaufdiode D_B des Brückenweiges BZ_B der Leistung aufnehmenden Seite B. Mit Beginnen der Pulsperiode in t_0 wird T_{A-} abgeschaltet und der, antiparallel zu D_B liegende untere Transistor T_B von BZ_B durchgeschaltet, wobei T_B aufgrund der gegebenen Flussrichtung von i_L jedoch vorerst keinen Strom übernimmt. Der durch L weiter in den Wurzelpunkt K_A von BZ_A gedrückte Strom i_L lädt dann die parasitäre Ausgangskapazität C_{A-} von T_{A-} und entlädt die Ausgangskapazität C_{A+} des zweiten, mit der positiven Eingangsklemme P_A von U_A verbundenen oberen Transistors T_{A+} , womit nach einer kurzen Umladezeit t_{UA+} der Wurzelpunkt K_A das Potential von P_A erreicht und die antiparallel zu T_{A+} liegende Freilaufdiode D_{A+} zu leiten beginnt. Nach einer hinreichend grösser als t_{UA+} gewählten, ab t_0 gezählten Verriegelungszeit t_D wird dann T_{A+} in t_1 durchgeschaltet; aufgrund des Leitens von D_{A+} erfolgt dieser Schaltvorgang bei Spannung und Strom null und somit verlustfrei. Der Strom i_L strebt, weiter über D_{A+} fließend, von negativen Werten nach null und wird dann über T_{A+} zu positiven Werten aufgebaut, wobei gleichzeitig mit T_{A+} der Transistor T_B Strom übernimmt; die Induktivität L nimmt so Energie aus der Leistung liefernden Seite A auf. Durch eine übergeordnete, den Leistungstransfer von A nach B regelnde Steuereinheit wird nun T_B nach Erreichen eines hinreichend hohen Stromwertes in t_2 abgeschaltet, i_L lädt daraufhin die

parasitäre Ausgangskapazität C_{B-} von T_{B-} und entlädt die parasitäre Ausgangskapazität C_{B+} des oberen Transistors T_{B+} von BZ_B , womit der Wurzelpunkt K_B von BZ_B nach einer kurzen Umladezeit t_{BU+} das Potential P_B der positiven Eingangsklemme von BZ_B erreicht und die antiparallel zu T_{B+} liegende Freilaufdiode den Stromfluss übernimmt. Nach einer ab t_2 laufenden Verriegelungszeit t_D kann so T_{B+} in t_3 strom- und spannungslos eingeschaltet werden, übernimmt jedoch vorerst noch keinen Strom. Abhängig vom Grössenverhältnis von U_A und U_B resultiert nun eine positive oder negative über der Induktivität L auftretende Spannung U_A-U_B ; entsprechend wird der nun aus U_A über T_{A+} , L und D_{B+} gegen U_B fließende Strom i_L weiter ansteigen oder absinken; in jedem Fall wird innerhalb dieser Phase Leistung von U_A nach U_B geliefert. In einem folgenden Zeitpunkt t_4 wird nun T_{A+} durch die übergeordnete Steuerung abgeschaltet, womit i_L die parasitäre Ausgangskapazität C_{A+} lädt und die parasitäre Ausgangskapazität C_{A-} von T_{A-} entlädt und nach einer kurzen Umladezeit t_{UA+} das Potential von K_A das Bezugspotential erreicht und somit die Freilaufdiode D_{A-} zu leiten beginnt. Der Transistor T_{A-} wird eine Verriegelungszeit t_D nach dem Abschalten von T_{A+} in t_5 strom- und spannungslos durchgeschaltet, übernimmt jedoch vorerst keinen Strom. Der Strom i_L wird nun über D_{A-} und D_{B+} gegen U_B abgebaut, d.h. die in L gespeicherte magnetische Energie an die Leistung aufnehmende Seite B geliefert. Der Strom i_L wird so schliesslich zu null und kann aufgrund des Einschaltzustandes von T_{B+} und T_{A-} sein Vorzeichen umkehren. Erreicht i_L in t_6 einen negativen Mindestwert $-I_0$, wird T_{B+} abgeschaltet, i_L lädt daraufhin die parasitäre Ausgangskapazität von T_{B+} und entlädt die parasitäre Ausgangskapazität C_{B-} von T_{B-} . Der Wurzelpunkt K_B erreicht nach einer kurzen Umladezeit t_{BU+} das Bezugspotential, womit D_{B-} leitend und die Spannung über L zu null wird, d.h. der Strom i_L über D_{B-} , L , T_{A-} und die negative Spannungsschiene frei läuft und auf $-I_0$ verbleibt. Eine Verriegelungszeit nach t_6 wird darauf folgend T_{B-} in t_7 strom- und spannungslos durchgeschaltet, und gleichzeitig T_{A-} abgeschaltet. Da durch die übergeordnete Steuerung t_4 so gewählt wird, dass eine Verriegelungszeit t_D vor dem Ende einer Pulsperiode zu liegen kommt, fällt t_7 jeweils mit dem Ende einer Pulsperiode bzw. dem Beginn der nächstfolgenden Pulsperiode zusammen, d.h. der Freilauf bleibt auf t_D beschränkt und die gesamte Pulsperiode wird für den Leistungstransfer mit Zwischenspeicherung eines Teiles der transferierten Energie in L genutzt. Es können so vorteilhaft hohe Leistungswerte erreicht werden.

[0015] Hervorzuheben ist, dass für die erfindungsgemässe Steuerung sämtliche Abschaltvorgänge in den Zeitpunkten t_0 , t_2 , t_4 und t_6 durch die parasitären Ausgangskapazitäten entlastet, also bei Spannung null erfolgen. Weiters treten aufgrund des Einschaltens der Transistoren bei Spannung und Strom null in den Zeitpunkten t_1 , t_3 , t_5 und $t_7=t_0$ keine Einschaltverluste auf, womit der bei konventioneller Steuerung des Systems vorliegende Nachteil hoher Einschaltverluste vermieden wird und eine hohe, auf eine kompakte Realisierung des Systems führende Schaltfrequenz gewählt werden kann, ohne eine wesentliche Einbusse hinsichtlich der Leitverluste in Kauf nehmen zu müssen.

[0016] Anzumerken ist, dass für sämtliche der vorstehend beschriebenen Steuerverfahren eine Umkehr der Richtung der Leistungslieferung von einer Pulsperiode auf die nächstfolgende Pulsperiode erfolgen kann. Da eine Pulsperiode für die erfindungsgemässen Steuerverfahren mit einem bezogen auf die Richtung der Leistungslieferung negativen Mindestwert $-I_0$ des Stromes i_L beginnen muss, ist zwischen beiden Pulsperioden ein Zwischenintervall einzufügen, in dem i_L von $-I_0$ auf $+I_0$ umgekehrt wird.

[0017] Wird beispielhaft ein Wechsel von Leistungslieferung von A nach B auf Leistungstransfer von B nach A betrachtet, kann dies wie folgt vorgenommen werden:

[0018] Am Ende einer auslaufenden Pulsperiode liegt $i_L=-I_0$ und ein Freilauf des Stromes i_L über D_{B-} , L , T_{A-} und die negative Spannungsschiene vor. Am Beginn t_{z0} des Zwischenintervalls wird nun T_{A-} abgeschaltet. Nach der Umladung der parasitären Ausgangskapazitäten C_{A-} und C_{A+} und Leitendwerden von D_{A+} wird Transistor T_{A+} eine Verriegelungszeit t_D nach t_{z0} in t_{z1} eingeschaltet. Der Strom i_L nimmt so von $-I_0$ auf $+I_0$ zu. Ist $i_L=+I_0$ in t_{z2} erreicht, wird T_{A+} ausgeschaltet und nach einer Umladung der parasitären Ausgangskapazitäten C_{A+} und C_{A-} durch den nun positiven Strom i_L die Diode D_{A-} leitend. Der Strom i_L läuft nun über D_{A-} , L , T_{B-} und die negative Versorgungsspannungsschiene frei und behält den Wert $i_L=+I_0$ bei, der für den Beginn einer Pulsperiode mit Leistungslieferung von B nach A benötigt wird.

[0019] Weiters ist darauf hinzuweisen, dass das die erfindungsgemässen Steuerverfahren sinngemäss auch zur Steuerung des Leistungstransfers zwischen zwei Transistorvollbrücken eingesetzt werden können, wobei der Freilauf des Stromes in der Induktivität dort einem gleichzeitigen Freilauf der Leistung liefernden und der Leistung aufnehmenden Vollbrücke entspricht. Die Induktivität kann dabei auch als Streuinduktivität eines Trafos gesehen werden, der eingangsseitig von der Leistung liefernden Vollbrücke gespeist wird und ausgangssseitig mit der Leistung aufnehmenden Vollbrücke verbunden ist (diese Anordnung ist in der Literatur als «Dual Active Bridge» bekannt).

[0020] Die Erfindung wird nachfolgend durch Zeichnungen näher erläutert.

Aufzählung der Zeichnungen

[0021]

- Fig. 1 zeigt das Prinzipschaltbild des den Patentansprüchen zugrunde gelegten Gleichspannungs-Gleichspannungswandlers.
- Fig. 2 zeigt den Zeitverlauf der gegen Bezugspotential gemessenen Spannungen der Wurzelpunkte der Brückenarme sowie den Verlauf des in Richtung des Leistungstransfers positiv gezählten Stromes für das erfindungsgemässe Steuerverfahren.

Ausführung der Erfindung

[0022] Die den Patentansprüchen zugrunde gelegte, in Fig. 1 gezeigte Grundstruktur eines bidirektionalen Gleichspannungs-Gleichspannungswandler 1 (Tief-/Hochsetzstellers) ohne Potentialtrennung wird gemäss dem Stand der Technik im einfachsten Fall durch einen zwischen einer positiven Klemme 2 einer Leistung liefernden ersten Spannungsquelle 3 und Bezugspotential 4 liegende erste Transistorhalbbrücke, auch erster Brückenweig 5 genannt, und eine, zwischen der positiven Klemme 6 einer Leistung aufnehmenden zweiten Spannungsquelle 7 und Bezugspotential 4 liegende zweite Transistorhalbbrücke, auch zweiter Brückenweig 8 genannt gebildet, wobei zwischen Wurzelpunkt 9 der ersten Transistorhalbbrücke 5 und Wurzelpunkt 10 der zweiten Transistorhalbbrücke 8 eine Induktivität 11 gelegt ist. Die erste Transistorhalbbrücke 5 weist einen oberen, in Stromflussrichtung von der positiven Klemme 2 der ersten Spannungsquelle 3 gegen den Wurzelpunkt 9 geschalteten Leistungstransistor 12 mit Steueranschluss 13 und antiparalleler Freilaufdiode 14 und einen, vom Wurzelpunkt 9 in Stromflussrichtung gegen Bezugspotential 4 gelegten unteren Leistungstransistor 15 mit Steueranschluss 16 und antiparalleler Freilaufdiode 17 auf. Analog weist die zweite Transistorhalbbrücke 8 einen in Stromflussrichtung von der positiven Klemme 6 der zweiten Spannungsquelle 7 gegen den Wurzelpunkt 10 geschalteten oberen Leistungstransistor 18 mit Steueranschluss 19 und antiparalleler Freilaufdiode 20 und einen vom Wurzelpunkt 10 in Stromflussrichtung gegen Bezugspotential 4 gelegten unteren Leistungstransistor 21 mit Steueranschluss 22 und mit antiparalleler Freilaufdiode 23 auf.

[0023] In Fig. 2 ist die für Patentanspruch 2, d.h. für den Fall, dass die Gleichspannung der Leistung liefernden ersten Spannungsquelle 3 über der Gleichspannung der Leistung beziehenden zweiten Spannungsquelle 7 liegt, resultierende Zeitverlauf 24 der Spannung U_9 zwischen lieferseitigem Wurzelpunkt 9 und Bezugspotential 4, der Zeitverlauf 25 der Spannung U_{10} zwischen aufnahmeseitigem Wurzelpunkt 10 und Bezugspotential 4, und der Zeitverlauf 26 des von lieferseitigem Wurzelpunkt 9 nach aufnahmeseitigem Wurzelpunkt 10 positiv gezählten Stromes in der Induktivität 11 gezeigt. Weiters sind die, das erfindungsgemässe Steuerverfahren realisierenden Ansteuersignale 29, 30, 31 und 32, welche an die Steuereingänge 13, 16, 19, und 22 der Transistoren 12, 15, 18, und 21 gelegt werden, für eine Pulsperiode 33 angegeben.

[0024] Erfindungsgemäss erfolgt die Steuerung so, dass unmittelbar vor Beginn 34 einer Pulsperiode 33 ein negativer Strom mit Mindeststromwert 27 über die Induktivität 11 fliesst und sich über den unteren Transistor 15 des, mit der Leistung liefernden ersten Spannungsquelle 3 verbundenen ersten Brückenweiges 5, die negative, als Bezugspotential dienende Spannungsschiene 4 des Systems 1, und die untere Freilaufdiode 23 des mit der Leistung aufnehmenden zweiten Spannungsquelle 7 verbundenen zweiten Brückenweiges 8 schliesst; der antiparallel zu Freilaufdiode 23 liegende untere Transistor 21 des zweiten Brückenweiges 8 ist hierbei bereits durchgeschaltet, übernimmt jedoch aufgrund der gegebenen Flussrichtung des Stromes in der Induktivität 11 vorerst keinen Strom. Mit Beginnen der Pulsperiode in Zeitpunkt 34 wird der lieferseitige untere Transistor 15 abgeschaltet, der durch die Induktivität 11 weiter in den lieferseitigen Wurzelpunkt 9 des ersten Brückenweiges 5 gedrückte Strom lädt dann die parasitäre Ausgangskapazität des lieferseitigen unteren Transistors 15 und entlädt die Ausgangskapazität des zweiten, mit der positiven Klemme 2 der ersten Spannungsquelle 3 verbundenen lieferseitigen oberen Transistors 12, womit nach einer kurzen ersten Umladezeit 35 der lieferseitige Wurzelpunkt 9 das Potential der positiven Klemme 2 der ersten Spannungsquelle 3 erreicht und die antiparallel zum lieferseitigen oberen Transistor 12 liegende lieferseitige obere Freilaufdiode 14 zu leiten beginnt. Nach einer hinreichend grösser als der ersten Umladezeit 35 gewählten, ab Pulsintervallanfang 34 gezählten ersten Verriegelungszeit 36 wird dann der lieferseitige obere Transistor 12 zu einem ersten Durchschaltzeitpunkt 37 durchgeschaltet; aufgrund des Leitens der lieferseitigen oberen Freilaufdiode 14 erfolgt dieser Schaltvorgang bei Spannung und Strom null und somit verlustfrei. Der Strom in der Induktivität 11 strebt, weiter über die lieferseitige obere Freilaufdiode 14 fliessend, von negativen Werten nach null und wird dann über den lieferseitigen oberen Transistor 12 zu positiven Werten hin aufgebaut, wobei gleichzeitig mit dem lieferseitigen oberen Transistor 12 der aufnahmeseitig untere Transistor 21 Strom übernimmt. Erreicht nun der Strom in der Induktivität 11 zu einem ersten Abschaltzeitpunkt 38 einen positiven Mindestwert 28, wird der aufnahmeseitig untere Transistor 21 abgeschaltet, der durch die Induktivität 11 getriebene Strom lädt daraufhin die parasitäre Ausgangskapazität des aufnahmeseitig unteren Transistors 21 und entlädt die parasitäre Ausgangskapazität des aufnahmeseitig oberen Transistors 18 des zweiten Brückenweiges 8, womit der aufnahmeseitige Wurzelpunkt 10 des zweiten Brückenweiges 8 nach einer kurzen, zweiten Umladezeit 39 das Potential der positiven Klemme 6 der zweiten Spannungsquelle 7 erreicht und die antiparallel zum aufnahmeseitig oberen Transistor 18 liegende aufnahmeseitig obere Freilaufdiode 20 den Stromfluss übernimmt. Nach einer ab Zeitpunkt 38 laufenden zweiten Verriegelungszeit 40 kann so der aufnahmeseitig obere Transistor 18 in einem ersten Einschaltzeitpunkt 41 strom- und spannungslos eingeschaltet werden, übernimmt jedoch vorerst noch keinen Strom. Der nun aus der ersten Spannungsquelle 3 über den oberen lieferseitigen Transistor 12, die Induktivität 11 und die aufnahmeseitig obere Freilaufdiode 20 in die zweite Spannungsquelle 7 fliessende Strom steigt, getrieben durch die über der Induktivität 11 liegende, aufgrund der, wegen des vorausgesetzten Überwiegens der Spannung von der ersten Spannungsquelle 3 gegenüber der Spannung von der zweiten Spannungsquelle 7 positiven Spannungsdifferenz, weiter an, es wird Leistung von der ersten Spannungsquelle 3 an die zweite Spannungsquelle 7 geliefert und zunehmend magnetische Energie in der Induktivität 11 aufgebaut. Durch eine übergeordnete, den Leistungstransfer von der ersten Spannungsquelle 3 nach der zweiten Spannungsquelle 7 regelnde Steuereinheit wird nun der lieferseitig obere Transistor 12 in einem zweiten Abschaltzeitpunkt 42 abgeschaltet, womit der durch die Induktivität 11 eingeprägte Strom die parasitäre Ausgangskapazität des lieferseitig oberen Transistors 12 lädt und die parasitäre Ausgangskapazität des lieferseitig unteren Transistors 15 entlädt und nach einer kurzen, dritten Umladezeit 43 das Potential des lieferseitigen Wurzelpunktes 9 das Bezugspotential 4 erreicht und somit die lieferseitig untere Freilaufdiode 17 zu leiten beginnt. Der Transistor 15

wird eine dritte Verriegelungszeit 44 nach dem Abschalten des lieferseitig oberen Transistors 12 in einem weiteren Durchschaltzeitpunkt 45 strom- und spannungslos durchgeschaltet, übernimmt jedoch vorerst keinen Strom. Der Strom in der Induktivität 11 wird nun über die lieferseitig untere Freilaufdiode 17 und die aufnahmeseitig obere Freilaufdiode 20 gegen die Spannung der zweiten Spannungsquelle 7 abgebaut, d.h. die in der Induktivität 11 gespeicherte magnetische Energie an die Leistung aufnehmende zweite Spannungsquelle 7 geliefert. Der Strom in der Induktivität 11 wird so schliesslich zu null und kann aufgrund des Einschaltzustandes des aufnahmeseitigen oberen Transistors 18 und des lieferseitig unteren Transistors 15 sein Vorzeichen umkehren. Erreicht der Strom in der Induktivität 11 zu einem dritten Abschaltzeitpunkt 46 einen negativen Mindeststromwert 27, wird der aufnahmeseitige obere Transistor 18 abgeschaltet, der durch die Induktivität 11 eingeprägte Strom lädt daraufhin die parasitäre Ausgangskapazität des aufnahmeseitig oberen Transistors 18 und entlädt die parasitäre Ausgangskapazität des aufnahmeseitig unteren Transistors 21, womit der aufnahmeseitige Wurzel- punkt 10 nach einer kurzen, vierten Umladezeit 47 das Bezugspotential 4 erreicht, die aufnahmeseitig untere Freilaufdiode 23 leitend und die Spannung über der Induktivität 11 zu null wird, d.h. der Strom der Induktivität 11 über die aufnahmeseitig untere Freilaufdiode 23, den lieferseitigen unteren Transistor 15 und die negative Spannungsschiene 4 frei läuft und auf dem negativen Mindeststromwert 27 verbleibt. Eine vierte Verriegelungszeit 48 nach dem dritten Abschaltzeitpunkt 46 wird darauf folgend der aufnahmeseitig untere Transistor 22 in einem zweiten Durchschaltzeitpunkt 49 strom- und spannungslos durchgeschaltet, übernimmt jedoch vorerst keinen Strom. Der Freilauf des Stromes in der Induktivität 11 setzt sich bis an das Ende 50 der laufenden bzw. bis zum Anfang 34 der nächstfolgenden Pulsperiode 33 fort, wo, wie eingangs beschrieben, der lieferseitig untere Transistor 15 abgeschaltet wird.

Patentansprüche

- Verfahren zur schaltverlustminimalen Steuerung eines bidirektionalen nicht potentialgetrennten Gleichspannungs- Gleichspannungswandlers (1) mit überlappendem Ein- und Ausgangsspannungsbereich, welcher durch

 - einen, zwischen einer positiven Klemme (2) einer Leistung liefernden ersten Spannungsquelle (3) und Bezugspo- tential (4) liegenden ersten Brückenweig (5), und
 - einen, zwischen einer positiven Klemme (6) einer Leistung aufnehmenden zweiten Spannungsquelle (7) und Be- zugspotential (4) liegenden zweiten Brückenweig (8) gebildet ist,
 - wobei zwischen einem lieferseitigen Wurzelpunkt (9) des ersten Brückenweiges (5) und einem aufnahmeseitigen Wurzelpunkt (10) des zweiten Brückenweiges (8) eine Induktivität (11) geschaltet ist, und

der erste Brückenweig (5) einen, in Stromflussrichtung von der positiven Klemme (2) der ersten Spannungsquelle (3) gegen den lieferseitigen Wurzelpunkt (9) geschalteten lieferseitigen oberen Transistor (12) mit antiparalleler liefer- seitiger oberer Freilaufdiode (14) und einen, vom lieferseitigen Wurzelpunkt (9) in Stromflussrichtung gegen Bezugspo- tential (4) gelegten lieferseitigen unteren Transistor (15) mit antiparalleler lieferseitiger unterer Freilaufdiode (17) aufweist und

der zweite Brückenweig (8) einen in Stromflussrichtung von der positiven Klemme (6) der zweiten Spannungsquelle (7) gegen den aufnahmeseitigen Wurzelpunkt (10) geschalteten aufnahmeseitigen oberen Transistor (18) mit antipar- alleler aufnahmeseitiger oberer Freilaufdiode (20) und einen vom aufnahmeseitigen Wurzelpunkt (10) in Stromfluss- richtung gegen Bezugspotential (4) gelegten aufnahmeseitigen unteren Transistor (21) mit antiparalleler aufnahmesei- tiger unterer Freilaufdiode (23) gebildet aufweist,

dadurch gekennzeichnet, dass der Strom in der Induktivität (11) durch eine Steuerung so geformt wird, dass der geforderte Leistungstransfer zwischen der ersten Spannungsquelle (3) und der zweiten Spannungsquelle (7) ohne Abkommutierung einer der Freilaufdioden (14, 17, 20, 23) erreicht wird, also das Einschalten eines einzuschaltenden Transistors (12, 15, 18, 21) stets bei Stromführung seiner antiparallelen Freilaufdiode (14, 17, 20, 23), d.h. strom- und spannungslos erfolgt,

wofür ein abzuschaltender Transistor, welcher dem einzuschaltenden Transistor im gleichen Brückenweig gegen- überliegt, stets bei einem Mindestwert des Stromes in der Induktivität (11) abgeschaltet wird, wobei der Mindestwert so gewählt ist, dass innerhalb der, zwischen dem Abschalten des abzuschaltenden Transistors und dem Einschalten des einzuschaltenden Transistors laufenden, Verriegelungszeit

 - ein Aufladen der parasitären Ausgangskapazität des abzuschaltenden Transistors auf den Wert einer zwischen positiver Klemme des Brückenweiges des einzuschaltenden und des abzuschaltenden Transistors und Bezugspo- tential liegenden Spannung und
 - eine vollständige Entladung der parasitären Ausgangskapazität des nächstfolgend den Stromfluss übernehmenden einzuschaltenden Transistors erfolgt,

womit dessen antiparallele Freilaufdiode vor Ablauf der Verriegelungszeit zu leiten beginnt.
- Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass für den Fall, dass die Leistung abgebende erste Span- nungsquelle (3) eine höhere Spannung als die Leistung aufnehmende zweite Spannungsquelle (7) aufweist, und un- mittelbar vor Beginn (34) einer Pulsperiode (33) ein negativer Strom mit Mindeststromwert (27) über die Induktivität (11) fliesst und sich über den lieferseitigen unteren Transistor (15) des ersten Brückenweiges (5), das Bezugspoten- tial (4) und die aufnahmeseitige untere Freilaufdiode (23) des zweiten Brückenweiges (8) schliesst, wobei der anti- parallel zur aufnahmeseitig unteren Freilaufdiode (23) liegende aufnahmeseitige untere Transistor (21) vom zweiten Brückenweig (8) bereits durchgeschaltet ist, jedoch aufgrund der gegebenen Flussrichtung des Stromes in der In- duktivität (11) vorerst keinen Strom übernimmt und mit Beginnen der Pulsperiode (33) im Zeitpunkt (34) der lieferseitig

untere Transistor (15) abgeschaltet wird, womit der durch die Induktivität (11) weiter in den lieferseitigen Wurzelpunkt (9) gedrückte Strom dann die parasitäre Ausgangskapazität des lieferseitig unteren Transistors (15) lädt und die Ausgangskapazität des lieferseitig oberen Transistors (12) entlädt,

womit nach einer ersten Umladezeit (35) der lieferseitige Wurzelpunkt (9) das Potential der positiven Klemme (2) der ersten Spannungsquelle (3) erreicht und die lieferseitig obere Freilaufdiode (14) zu leiten beginnt, wobei danach, nach einer hinreichend grösser als die erste Umladezeit (35) gewählten, ab Pulsintervallanfang (34) gezählten ersten Verriegelungszeit (36) der lieferseitig obere Transistor (12) zu einem ersten Durchschaltzeitpunkt (37) durchgeschaltet wird, wobei dieser Schaltvorgang aufgrund des Leitens der lieferseitigen oberen Freilaufdiode (14) bei Spannung und Strom null und somit verlustfrei erfolgt und der Strom in der Induktivität (11) nun weiter über die lieferseitige obere Freilaufdiode (14) fliessend, von negativen Werten nach null strebt und dann über den lieferseitig oberen Transistor (12) zu positiven Werten hin aufgebaut wird, wobei gleichzeitig mit dem lieferseitigen oberen Transistor (12) der aufnahmeseitig untere Transistor (21) Strom übernimmt, und, wenn der Strom in der Induktivität (11) zu einem ersten Abschaltzeitpunkt (38) einen positiven Mindestwert (28) erreicht, der aufnahmeseitig untere Transistor (21) abgeschaltet wird, wobei dann der durch die Induktivität (11) getriebene Strom die parasitäre Ausgangskapazität des aufnahmeseitig unteren Transistors (21) auflädt und die parasitäre Ausgangskapazität des aufnahmeseitig oberen Transistors (18) entlädt,

womit der aufnahmeseitige Wurzelpunkt (10) nach einer kurzen, zweiten Umladezeit (39) das Potential der positiven Klemme (6) der zweiten Spannungsquelle (7) erreicht und die antiparallele zum aufnahmeseitig oberen Transistor (18) liegende aufnahmeseitig obere Freilaufdiode (20) den Stromfluss übernimmt, womit nach einer, ab dem Abschalten des aufnahmeseitig unteren Transistors (15) laufenden zweiten Verriegelungszeit (40) der aufnahmeseitig obere Transistor (18) strom- und spannungslos eingeschaltet werden kann, jedoch vorerst noch keinen Strom übernimmt, wobei der nun aus der ersten Spannungsquelle (3) über den oberen lieferseitigen Transistor (12), die Induktivität (11) und die aufnahmeseitig obere Freilaufdiode (20) in die zweite Spannungsquelle (7) fliessende Strom weiter ansteigt und Leistung von der ersten Spannungsquelle (3) an die zweite Spannungsquelle (7) geliefert und zunehmend magnetische Energie in der Induktivität (11) aufgebaut wird und eine übergeordnete, den Leistungstransfer von der ersten Spannungsquelle (3) nach der zweiten Spannungsquelle (7) regelnden Steuereinheit den lieferseitig oberen Transistor (12) schliesslich abschaltet, womit der durch die Induktivität (11) eingeprägte Strom die parasitäre Ausgangskapazität des lieferseitig oberen Transistors (12) auflädt und die parasitäre Ausgangskapazität des lieferseitig unteren Transistors (15) entlädt,

womit nach einer dritten Umladezeit (43) das Potential des lieferseitigen Wurzelpunktes (9) das Bezugspotential (4) erreicht und somit die lieferseitig untere Freilaufdiode (17) zu leiten beginnt und der lieferseitig untere Transistor (15), eine dritte Verriegelungszeit (44) nach dem Abschalten des lieferseitig oberen Transistors (12), strom- und spannungslos durchgeschaltet wird, jedoch vorerst keinen Strom übernimmt und der Strom in der Induktivität (11) nun über die lieferseitig untere Freilaufdiode (17) und die aufnahmeseitig obere Freilaufdiode (20) gegen die Spannung der zweiten Spannungsquelle (7) abgebaut wird, d.h. die in der Induktivität (11) gespeicherte magnetische Energie an die Leistung aufnehmende zweite Spannungsquelle (7) geliefert wird, womit der Strom in Induktivität (11) schliesslich zu null wird und aufgrund des Einschaltzustandes des aufnahmeseitigen oberen Transistors (18) und des Einschaltzustandes des lieferseitig unteren Transistors (15) sein Vorzeichen umkehren kann, wobei, wenn der Strom in der Induktivität (11) einen negativen Mindeststromwert (27) erreicht, der aufnahmeseitige obere Transistor (18) abgeschaltet wird, womit der durch die Induktivität (11) eingeprägte Strom die parasitäre Ausgangskapazität des aufnahmeseitig oberen Transistors (18) lädt und die parasitäre Ausgangskapazität des aufnahmeseitig unteren Transistors (21) entlädt, womit der aufnahmeseitige Wurzelpunkt (10) nach einer vierten Umladezeit (47) das Bezugspotential (4) erreicht, und die aufnahmeseitig untere Freilaufdiode (23) leitend und die Spannung über der Induktivität (11) zu null wird, d.h. der Strom der Induktivität (11) über die aufnahmeseitig untere Freilaufdiode (23), den lieferseitigen unteren Transistor (15) und das Bezugspotential (4) frei läuft und so auf dem negativen Mindeststromwert (27) verbleibt, wobei eine vierte Verriegelungszeit (48) nach dem Erreichen des negativen Mindeststromwertes (27) der aufnahmeseitig untere Transistor (22) in einem zweiten Durchschaltzeitpunkt (49) strom- und spannungslos durchgeschaltet wird, jedoch vorerst keinen Strom übernimmt und der Freilauf des Stromes in der Induktivität (11) sich bis an das Ende (50) der laufenden Pulsperiode (33) bzw. bis zum Anfang der nächstfolgenden Pulsperiode fortsetzt, wo der lieferseitig untere Transistor (15) abgeschaltet wird.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass für den Fall, dass die Leistung liefernde erste Spannungsquelle (3) eine tiefere Spannung als die Leistung aufnehmende zweite Spannungsquelle (7) aufweist unmittelbar vor Beginn (34) einer Pulsperiode (33) ein negativer Strom mit Mindeststromwert (27) über die Induktivität (11) fliesst und sich über den lieferseitig unteren Transistor (15), das Bezugspotential (4) und die aufnahmeseitig untere Freilaufdiode (23) schliesst, wobei der aufnahmeseitig untere Transistor (21) hierbei bereits durchgeschaltet ist, jedoch aufgrund der gegebenen Flussrichtung des Stromes in der Induktivität (11) vorerst keinen Strom übernimmt, und mit Beginn der Pulsperiode (33) der lieferseitig untere Transistor (15) abgeschaltet wird und der durch die Induktivität (11) weiter in den lieferseitigen Wurzelpunkt (9) gedrückte Strom dann die parasitäre Ausgangskapazität des lieferseitig unteren Transistors (15) auflädt und die Ausgangskapazität des lieferseitig oberen Transistors (12) entlädt, womit nach einer ersten Umladezeit der lieferseitige Wurzelpunkt (9) das Potential der positiven Klemme (2) der ersten Spannungsquelle (3) erreicht und die lieferseitig obere Freilaufdiode (14) zu leiten beginnt und nach einer hinreichend grösser als die erste Umladezeit gewählten, ab dem Beginn (34) der Pulsperiode (33) gezählten ersten Ver-

riegelungszeit der lieferseitig obere Transistor (12) durchgeschaltet wird, wobei dieser Schaltvorgang aufgrund des Leitens der lieferseitig oberen Diode (14) bei Spannung und Strom null und somit verlustfrei erfolgt und der Strom in der Induktivität (11) weiter über die lieferseitig obere Freilaufdiode (14) fließend, von negativen Werten nach null strebt und dann über den lieferseitig oberen Transistor (12) zu positiven Werten hin aufgebaut wird, wobei gleichzeitig mit dem lieferseitig oberen Transistor (12) auch der aufnahmeseitig untere Transistor (21) Strom übernimmt und die Induktivität (11) so Energie aus der ersten Spannungsquelle (3) aufnimmt und durch eine übergeordnete, den Leistungstransfer zwischen der ersten Spannungsquelle (3) und der zweiten Spannungsquelle (7) regelnde Steuereinheit der aufnahmeseitig untere Transistor nach Erreichen eines hinreichend hohen Stromwertes in der Induktivität (11) abgeschaltet wird und daraufhin die parasitäre Ausgangskapazität des aufnahmeseitig unteren Transistors (21) auflädt und die parasitäre Ausgangskapazität des aufnahmeseitig oberen Transistors (18) entlädt, womit der aufnahmeseitige Wurzelpunkt (10) nach einer zweiten Umladezeit das Potential der positiven Klemme (6) der zweiten Spannungsquelle (7) erreicht und die aufnahmeseitig obere Freilaufdiode (20) den Stromfluss übernimmt und so nach einer, ab dem Abschaltzeitpunkt des aufnahmeseitig unteren Transistors laufenden zweiten Verriegelungszeit der aufnahmeseitig obere Transistor strom- und spannungslos eingeschaltet werden kann, jedoch vorerst noch keinen Strom übernimmt, wobei der nun aus der ersten Spannungsquelle (3) über den lieferseitig oberen Transistor (12), die Induktivität (11), und die aufnahmeseitig obere Freilaufdiode (20) gegen die Spannung der zweiten Spannungsquelle (7) fließende Strom absinkt und schliesslich zu einem zweiten Abschaltzeitpunkt (42) einen positiven Mindestwert erreicht, wobei in dieser Phase Leistung von der ersten Spannungsquelle (3) an die zweite Spannungsquelle (7) geliefert und magnetische Energie der Induktivität (11) an die zweite Spannungsquelle (7) abgegeben wird, und mit Erreichen des positiven Mindestwertes der lieferseitig obere Transistor abgeschaltet wird, womit der Strom in der Induktivität (11) die parasitäre Ausgangskapazität des lieferseitig oberen Transistors (12) auflädt und die parasitäre Ausgangskapazität des lieferseitig unteren Transistors (15) entlädt und nach einer dritten Umladezeit das Potential des lieferseitigen Wurzelpunktes (9) das Bezugspotential (4) erreicht und somit die lieferseitig untere Freilaufdiode (17) zu leiten beginnt und der lieferseitig untere Transistor eine dritte Verriegelungszeit nach dem Abschalten des lieferseitig oberen Transistors strom- und spannungslos durchgeschaltet wird, jedoch vorerst keinen Strom übernimmt, und der Strom in Induktivität (11) nun über die lieferseitig untere Freilaufdiode (17) und die aufnahmeseitig obere Freilaufdiode (20) gegen die Spannung der zweiten Spannungsquelle (7) abgebaut wird, d.h. die in Induktivität (11) gespeicherte magnetische Energie an die zweite Spannungsquelle (7) geliefert wird, wobei der Strom in der Induktivität (11) so schliesslich zu null wird und aufgrund des Einschaltzustandes des aufnahmeseitig oberen Transistors (18) und des lieferseitigen unteren Transistors (15) sein Vorzeichen umkehrt und so einen negativen Mindeststromwert (27) erreicht, wobei in diesem Zeitpunkt der aufnahmeseitig obere Transistor (18) abgeschaltet wird, womit der Strom in der Induktivität (11) die parasitäre Ausgangskapazität des aufnahmeseitig oberen Transistors auflädt und die parasitäre Ausgangskapazität des aufnahmeseitig unteren Transistors entlädt, womit nach einer vierten Umladezeit der aufnahmeseitige Wurzelpunkt (10) das Bezugspotential (4) erreicht und die aufnahmeseitig untere Freilaufdiode (23) leitend und die Spannung über der Induktivität (11) zu null wird, d.h. der Strom in Induktivität (11) über die aufnahmeseitig untere Freilaufdiode (23), den lieferseitig unteren Transistor (15) und das Bezugspotential (4) frei läuft und auf dem negativen Mindeststromwert (27) verbleibt, wobei eine vierte Verriegelungszeit nach dem Abschalten des aufnahmeseitig oberen Transistors (18) der aufnahmeseitig untere Transistor (21) strom- und spannungslos durchgeschaltet wird, jedoch vorerst keinen Strom übernimmt, da sich der Freilauf des Stromes in der Induktivität (11) bis zum Ende der laufenden Pulsperiode (33) bzw. bis zum Anfang der nächstfolgenden Pulsperiode fortsetzt, wo der lieferseitig untere Transistor (15) abgeschaltet wird.

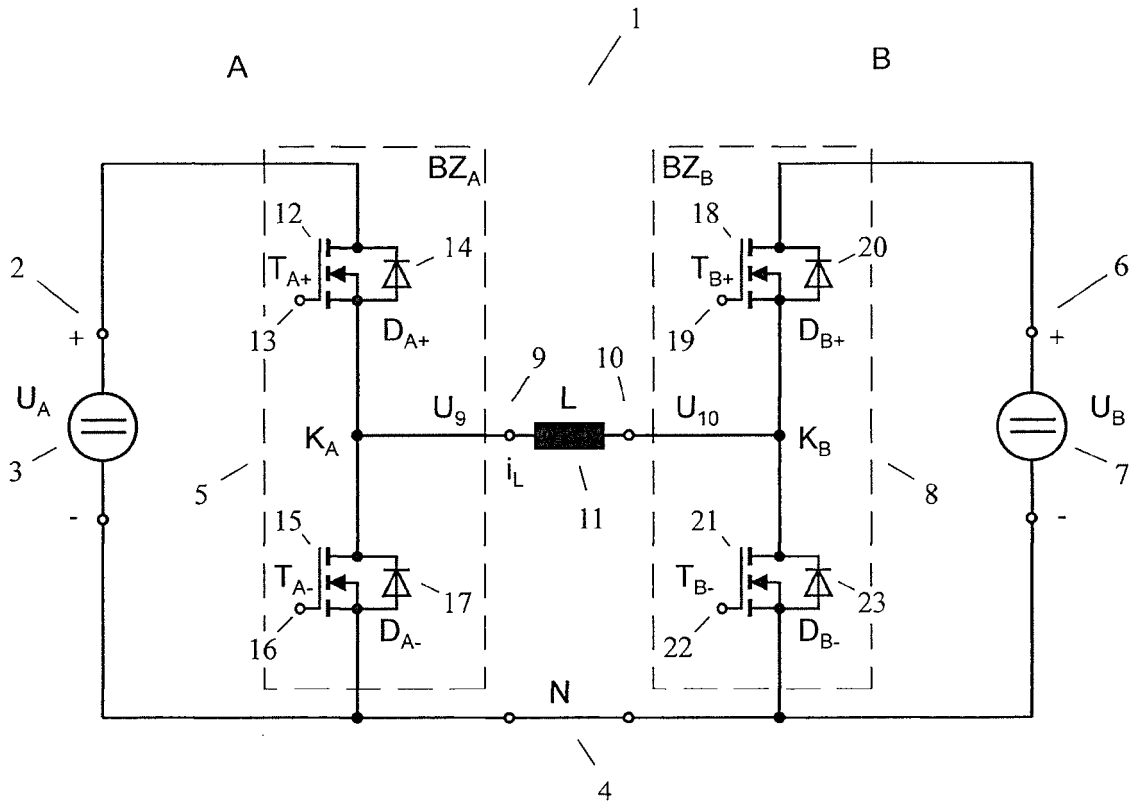


Fig. 1

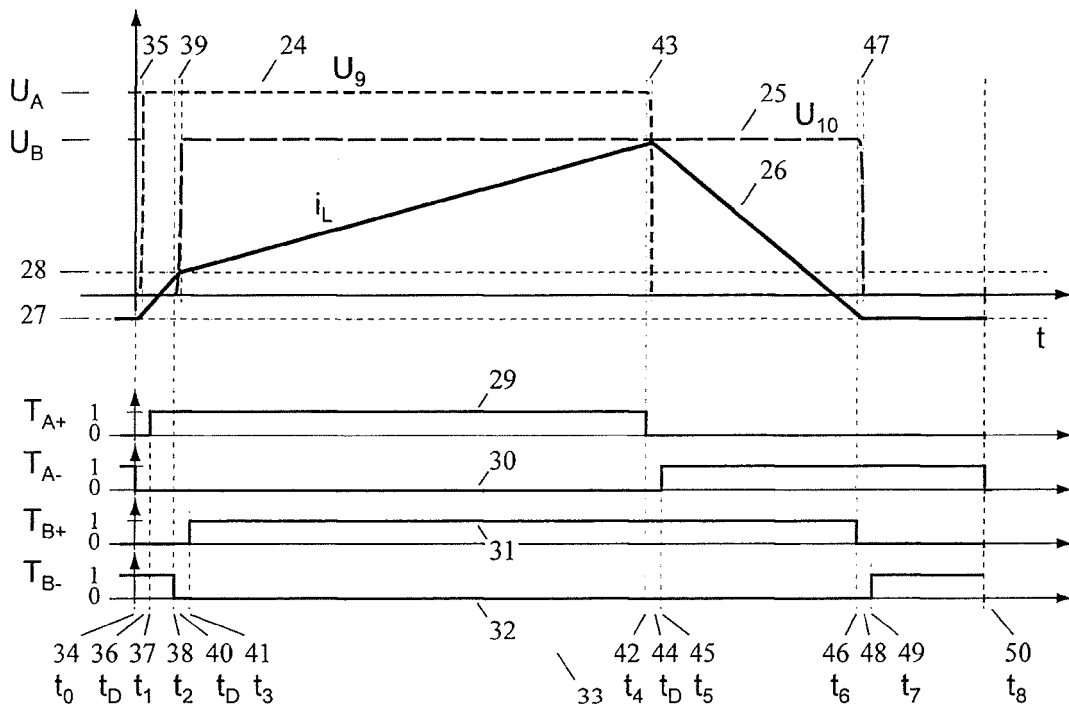


Fig. 2